

<<SoC设计与测试>>

图书基本信息

书名：<<SoC设计与测试>>

13位ISBN编号：9787810773089

10位ISBN编号：7810773089

出版时间：2003-1

出版时间：北京航空航天大学出版社

作者：拉伊休曼

页数：210

译者：于敦山

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<SoC设计与测试>>

内容概要

本书分为设计师和测试两个部分，分别介绍了SOC设计方法和测试方法，大设计部分介绍了在设计时会遇到的问题 and 传统的ASIC设计流程的差别，并介绍逻辑核，存储器核，及模拟核的设计方法和需要注意的问题，以及SOC系统的验证方法，在测试部分，介绍SOC中逻辑核，存储器核及模拟核的测试结构与测试方法，还介绍IDDQ测试大SOC测试中的应用，最后介绍产品测试中需要注意的问题，全书内容全面，可以作为教材。

对ASIC设计工程师及系统设计工程师都有较高的参考价值。

<<SoC设计与测试>>

书籍目录

| | | | | |
|-------------------------|--------------------------|--------------------------|------------------------------------|------------------------------|
| 第一部分 设计 | 第1章 绪论 | 1.1 当前soc的结构 | 1.2 soc设计中的问题 | 1.3 硬件 软件 |
| 协同设计 | 1.3.1 协同设计流程 | 1.3.2 协同设计工具 | 1.4 核库、eda工具和网址 | 1.4.1 |
| 核库 | 1.4.2 eda工具和提供商 | 1.4.3 网上站点 | 参考文献 | 第2章 逻辑核的设计方法 |
| 2.1 soc设计流程 | 2.2 设计复用的一般原则 | 2.2.1 同步设计 | 2.2.2 存储器和混合信号设计 | |
| 2.2.3 片上总线 | 2.2.4 时钟分配 | 2.2.5 清零/置位/复位信号 | 2.2.6 物理设计 | |
| 2.2.7 可交付模型 | 2.3 软核和固核的设计流程 | 2.3.1 设计流程 | 2.3.2 软核/固核的开发流程 | |
| 2.3.3 rtl设计规划 | 2.3.4 软核/固核产品化 | 2.4 硬核设计流程 | 2.4.1 硬核设计中的特有问题 | |
| 2.4.2 硬核开发流程 | 2.5 交付检查表与可交付的核 | 2.5.1 交付检查表 | 2.5.2 软核交付 | 2.5.3 硬核交付 |
| 2.6 系统集成 | 2.6.1 使用硬核设计 | 2.6.2 使用软核设计 | 2.6.3 系统验证 | 参考文献 |
| 第3章 存储器与模拟核的设计方法 | 3.1 使用大容量的嵌入式存储器的原因 | 3.2 嵌入式存储器的设计方法 | 3.2.1 电路技术 | 3.2.2 存储器编译器 |
| 3.2.3 仿真模型 | 3.3 模拟电路的技术要求 | 3.3.1 模/数转换器 | 3.3.2 数/模转换器 | 3.3.3 锁相环 |
| 3.4 高速器件 | 3.4.1 rambus asic单元 | 3.4.2 ieee 1394串行总线 | (firewire) phy层 | 3.4.3 高速i/o |
| 参考文献 | 第4章 设计的确认 | 4.1 核级确认 | 4.1.1 核的确认方案 | 4.1.2 测试平台 |
| 4.1.3 核级时序验证 | 4.2 核接口的验证 | 4.2.1 协议验证 | 4.2.2 门级仿真 | 4.3 soc的设计确认 |
| 4.3.1 协同仿真 | 4.3.2 硬仿真 | 4.3.3 硬件原型 | 参考文献 | 第5章 核及soc设计实例 |
| 5.1 微处理器核 | 5.1.1 v830r / av超标量risc核 | 5.1.2 powerpc 603eg2核的设计 | 5.2 关于存储器核生成器 | 5.3 核的集成和片上总线 |
| 5.4 soc设计实例 | 5.4.1 媒体处理器 | 5.4.2 机顶盒soc系统的可测性 | 参考文献 | 第二部分 测试 |
| 第6章 数字逻辑核的测试 | 6.1 soc测试问题 | 6.2 访问、控制及隔离 | 6.3 ieeepl500的成果 | 6.3.1 无边界扫描的核 |
| 6.3.2 核测试语言 | 6.3.3 带有边界扫描的核 | 6.4 核测试和ip保护 | 6.5 用于设计复用的测试方法 | 6.5.1 核可测性的方针 |
| 6.5.2 高层次测试综合 | 6.6 微处理器核的测试 | 6.6.1 内建自测试方法 | 6.6.2 举例: arm处理器核的可测性 | 6.6.3 对微处理器核的调试支持 |
| 参考文献 | 第7章 嵌入式存储器的测试 | 7.1 存储器的故障模型和测试算法 | 7.1.1 故障模型 | 7.1.2 测试算法 |
| 7.1.3 测试算法的有效性 | 7.1.4 用多数数据背景来修改测试 | 7.1.5 多端口存储器时的修改 | 7.1.6 用于双缓冲存储器的算法 | 7.2 嵌入式存储器的测试方法 |
| 7.2.1 用asic功能测试方法进行测试分析 | 7.2.2 直接访问的测试应用 | 7.2.3 扫描寄存器或环绕寄存器的测试应用 | 7.2.4 存储器内建自测试 | 7.2.5 通过片上微处理器进行测试 |
| 7.2.6 嵌入式存储器测试算法小结 | 7.3 存储器的冗余和修复 | 7.3.1 硬修复 | 7.3.2 软修复 | 7.4 检错和纠错编码 |
| 7.5 含大型嵌入式存储器的soc的生产测试 | 参考文献 | 第8章 模拟和混合信号核的测试 | 8.1 模拟参数及特性 | 8.1.1 数/模转换器 |
| 8.1.2 模/数转换器 | 8.1.3 锁相环 | 8.2 用于模拟核的可测性设计和内建自测试方法 | 8.2.1 fluencetechnology公司的模拟bist方案 | 8.2.2 logicvision公司的模拟bist方案 |
| 8.2.3 通过片上微处理器进行测试 | 8.2.4 ieee p1149.4 | 8.3 特殊模拟电路的测试 | 8.3.1 rambusasic单元 | 8.3.2 1394串行总线 / firewire的测试 |
| 参考文献 | 第9章 iddq测试 | 9.1 物理缺陷 | 9.1.1 桥接(短路) | 9.1.2 栅氧化缺陷 |
| 9.1.3 开路(断线) | 9.1.4 iddq测试的有效性 | 9.2 soc中iddq测试的困难 | 9.3 基于iddq测试的设计 | 9.4 iddq测试设计规则 |
| 9.5 iddq测试向量的产生 | 参考文献 | 第10章 生产测试 | 10.1 生产测试流程 | 10.2 全速测试 |
| 10.2.1 rtd和无效周期 | 10.2.2 fly by | 10.2.3 速度分类 | 10.3 产能和材料传送 | 10.3.1 测试后勤 |
| 10.3.2 测试仪器设置 | 10.3.3 多dut测试 | 参考文献 | 第11章 总结与结论 | 11.1 总结 |
| 11.2 未来的前景 | 附录a 设计复用的rtl指导原则 | a.1 命名习惯 | a.2 编码 | 中英文名词对照表 |
| 的一般指导原则 | a.3 面向综合的rtl开发 | a.4 rtl检查 | 作者简介 | |

<<SoC设计与测试>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>