

## <<VHDL实用教程>>

### 图书基本信息

书名：<<VHDL实用教程>>

13位ISBN编号：9787810652902

10位ISBN编号：7810652907

出版时间：2001-7

出版时间：电子科技大学出版社

作者：潘松

页数：369

字数：575000

译者：李广军 注解

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## <<VHDL实用教程>>

### 内容概要

本书比较系统地介绍了VHDL的基本语言现象和实用技术。

本书以实用和可操作为基点，简洁而又不失完整地介绍了VHDL基于EDA技术的理论与实践方面的知识。

其中包括VHDL语句语法基础知识（第1章——第7章）、仿真（第8章），逻辑综合与编程技术（第9章）、有限状态及其设计（第10章）、基于FPGA的数字滤波器设计（第十一章）、多种常用的支持VHDL的EDA软件使用（第12章）、VHDL数字系统设计实践（第13章）和大学生电子设计竞赛题的VHDL应用介绍（第14章）。

全书列举了大量VHDL设计示例，其中大部分经第12章介绍的VHDL综合器编译通过，第13章的程序绝大部分都通过了附录介绍的EDA实验系统上的硬件测试，可直接使用。

书中还附有大量程序设计和实验，实践方面和习题。

本书可作为高等院校的电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号处理、图像处理等学科领域和专业的高年级本科生或研究生的VHDL或EDA技术课程的教材及实验指导，也可作为相关专业技术人员的自学参考书。

## &lt;&lt;VHDL实用教程&gt;&gt;

## 书籍目录

第1章 绪论 1.1 关于EDA 1.2 关于VHDL 1.3 关于自顶向下的系统设计方法 1.4 关于应用VHDL的EDA过程 1.5 关于在系统编程技术 1.6 关于FPGA / CPLD的优势 1.7 关于VHDL的学习第2章 VHDL入门 2.1 用VHDL设计多路选择器和锁存器 2.2 用VHDL设计全加器第3章 VHDL程序结构 3.1 实体 (ENTITY) 3.2 结构体 (ARCHRYECTURE) 3.3 块语句结构 (BLOCK) 3.4 进程 (PROCESS) 3.5 子程序 (SUBPROGRAM) 3.5.1 函数 (FUNCTION) 3.5.2 重载函数 (OVERLOADEDFUNCTION) 3.5.3 过程 (PROCEDURE) 3.5.4 重载过程 (OVERLOADEDPROCEDURE) 3.6 库 (LIBRARY) 3.7 程序包 (PACKAGE) 3.8 配置 (CONFIGURATION) 习题第4章 VHDL语言要素 4.1 VHDL文字规则 4.2 VHDL数据对象 4.2.1 变量 (VARIABLE) 4.2.2 信号 (SIGNAL) 4.2.3 常数 (CONSTAN) 4.3 VHDL数据类型 4.3.1 VHDL的预定义数据类型 4.3.2 IEEE预定义标准逻辑位与矢量 4.3.3 其它预定义标准数据类型 4.3.4 用户自定义数据类型方式 4.3.5 枚举类型 4.3.6 整数类型和实数类型 4.3.7 对数组类型 4.3.8 记录类型 4.3.9 数据类型转换 4.4 VHDL操作符 4.4.1 操作符种类 4.4.2 逻辑操作符 4.4.3 关系操作符 4.4.4 算术操作符 4.4.5 重载操作符 习题第5章 VHDL顺序语句 5.1 赋值语句 5.1.1 信号和变量赋值 5.1.2 赋值目标 5.2 流程控制语句 5.2.1 IF语句 5.2.2 CASE语句 5.2.3 LOOP语句 5.2.4 NEXT语句 5.2.5 EXIT语句 5.3 WAIT语句 5.4 子程序调用语句 5.5 返回语句 (RETURN) 5.6 空操作语句 (NULL) 5.7 其它语句和说明 5.7.1 属性 (ATHRIBUTE) 描述与定义语句 5.7.2 文本文件操作 (TEXTIO) 5.7.3 ASSERT语句 5.7.4 REPORT语句 5.7.5 决断函数 习题第6章 VHDL并行语句 6.1 进程语句 6.2 快语句 6.3 并行信号赋值语句 6.3.1 简单信号赋值语句 6.3.2 条件信号赋值语句 6.3.3 选择信号赋值语句 6.4 并行过程调用语句 6.5 元件例化语句 6.6 类属映射语句 6.7 生成语句 习题第7章 VHDL的描述风格第8章 仿真第9章 综合第10章 有限状态机FSM第11章 数字滤波器设计第12章 VHDL设计平台使用向导第13章 VHDL设计实践与实验第14章 电子设计竞赛实例介绍附录1 GW48型EDA实验开发系统使用介绍附录2 一些FPGA和CPLD芯片引脚图

## &lt;&lt;VHDL实用教程&gt;&gt;

## 章节摘录

版权页：插图：WORK库是用户的VHDL设计的现行工作库，用于存放用户设计和定义的一些设计单元和程序包，因而是用户的临时仓库，用户设计项目的成品、半成品模块，以及先期已设计好的元件都放在其中。

WORK库自动满足VHDL语言标准，在实际调用中，也不必以显式预先说明。

基于VHDL所要求的WORK库的基本概念，在PC机或工作站上利用VHDL进行项目设计，不允许在根目录下进行，而是必须为此设定一个目录，用于保存所有此项目的设计文件，VHDL综合器将此目录默认为WORK库。

但必须注意，工作库并不是这个目录的目录名，而是一个逻辑名。

综合器将指示器指向该目录的路径。

VHDL标准规定工作库总是可见的，因此，不必在VHDL程序中明确指定。

VITAL库使用VITAL库，可以提高VHDL门级时序模拟的精度，因而只在VHDL仿真器中使用。

库中包含时序程序包VITAL\_TIMING和VITAL\_PRIMITIVES。

VITAL程序包已经成为IEEE标准，在当前的VHDL仿真器的库中，VITAL库中的程序包都已经并到IEEE库中。

实际上，由于各FPGA/CPLD生产厂商的适配工具（如ispEXPERT Compiler，参见第12章）都能为各自的芯片生成带时序信息的VHDL门级网表，用VHDL仿真器仿真该网表可以得到非常精确的时序仿真结果。

因此，基于实用的观点，在FPGA/CPLD设计开发过程中，一般并不需要VITAL库中的程序包。

除了以上提到的库外，EDA工具开发商为了FPGA/CPLD开发设计上的方便，都有自己的扩展库和相应的程序包，如DATAIO公司的GENERIC库、DATAIO库等，以及上面提到的Synopsys公司的一些库。

在VHDL设计中，有的EDA工具将一些程序包和设计单元放在一个目录下，而将此目录名（如“WORK”）作为库名，如Synplicity公司的Synplify（详细用法可参见第12章）。

有的EDA工具是通过配置语句结构来指定库和库中的程序包，这时的配置即成为一个设计实体中最顶层的设计单元。

## <<VHDL实用教程>>

### 编辑推荐

《VHDL实用教程》可作为高等院校的电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号处理、图像处理等学科领域和专业的高年级本科生或研究生的VHDL或EDA技术课程的教材及实验指导，也可作为相关专业技术人员的自学参考书。

## <<VHDL实用教程>>

### 版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>