

<<Verilog HDL数字系统设计>>

图书基本信息

书名：<<Verilog HDL数字系统设计>>

13位ISBN编号：9787560627458

10位ISBN编号：7560627455

出版时间：2012-3

出版时间：西安电子科技大学出版社

作者：康磊

页数：344

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Verilog HDL数字系统设计>>

内容概要

《高等学校电子信息类专业“十二五”规划教材·Verilog HDL数字系统设计：原理、实例及仿真》从实用的角度出发，通过大量的实例，详细介绍了基于Verilog HDL硬件描述语言进行数字系统设计的过程、方法和技巧。

全书分为四部分，共13章，主要内容包括可编程器件的工作原理及数字系统设计流程、Verilog HDL基本语法知识和建模方法、常用逻辑功能单元及复杂数字系统设计方法，并对集成开发软件QuartusII和仿真测试软件Model Sim的应用做了详细说明。

《高等学校电子信息类专业“十二五”规划教材·Verilog HDL数字系统设计：原理、实例及仿真》可作为计算机类、电子类、自动化类、机电类硬件和通信工程等相关专业学生的教学参考书，也可作为数字系统设计工程师的参考书。

<<Verilog HDL数字系统设计>>

书籍目录

第一部分 VerilogHDL基础知识 第1章 概述 1.1 EDA技术简介 1.1.1 EDA技术的发展 1.1.2 EDA与传统电子设计方法的比较 1.1.3 EDA的开发过程 1.2 可编程器件 1.2.1 可编程逻辑器件概述 1.2.2 PLD的发展历史 1.2.3 可编程逻辑器件的分类 1.2.4 CPLD的结构与工作原理 1.2.5 FPGA的结构与工作原理 1.2.6 CPLD和FPGA的编程与配置 1.3 Verilog HDL简介 1.3.1 Verilog HDL的发展历史 1.3.2 Verilog HDL和VHDL的比较 第2章 Verilog HDL基础 2.1 Verilog HDL的特点 2.2 程序设计流程 2.3 程序的基本结构 2.3.1 模块的概念 2.3.2 模块的调用 2.3.3 模块的测试 2.4 语法基础 2.4.1 程序基本格式 2.4.2 注释语句 2.4.3 标识符和关键字 2.4.4 参数声明 第3章 数据类型和表达式 3.1 数据类型 3.1.1 常量 3.1.2 变量 3.2 操作符和表达式 3.2.1 操作符 3.2.2 操作数 3.2.3 表达式 第4章 行为级建模方法 4.1 行为级建模程序结构 4.2 过程结构语句 4.2.1 initial语句 4.2.2 always语句 4.3 语句块 4.3.1 顺序语句块 4.3.2 并行语句块 4.3.3 顺序语句块和并行语句块的混合使用 4.4 时序控制 4.4.1 延时控制 4.4.2 电平敏感事件触发 4.4.3 边沿敏感事件触发 4.5 赋值语句 4.5.1 连续赋值语句 4.5.2 阻塞赋值语句 4.5.3 非阻塞赋值语句 4.6 分支语句 4.6.1 if-else语句 4.6.2 case语句 4.7 循环语句 4.7.1 forever循环语句 4.7.2 repeat循环语句 4.7.3 while循环语句 4.7.4 for循环语句 第5章 结构级建模方法 5.1 Verilog HDL内置基元 5.1.1 基本门 5.1.2 上拉、下拉电阻 5.1.3 MOS开关 5.1.4 双向开关 5.1.5 门级建模举例 5.2 用户定义原语(UDP) 5.2.1 UDP的定义 5.2.2 组合电路UDP 5.2.3 时序电路UDP 5.3 模块的调用 5.3.1 端口的关联方式 5.3.2 端口悬空的处理 5.3.3 端口宽度匹配问题 5.3.4 被调用模块参数值的更改 5.3.5 结构建模实例 5.4 行为描述和结构描述的混合使用 第6章 任务、函数及其他 6.1 任务 6.1.1 任务的定义 6.1.2 任务的调用 6.2 函数 6.2.1 函数的定义 6.2.2 函数的调用 6.3 预处理指令 6.4 系统任务和函数 6.4.1 显示任务 6.4.2 文件输入/输出任务 6.4.3 时间标度任务 6.4.4 仿真控制任务 6.4.5 时序验证任务 6.4.6 仿真时间函数 6.4.7 实数变换函数 6.4.8 随机函数 第二部分 基础单元电路设计实例 第7章 门电路设计与实现 7.1 基本门电路 7.2 组合门电路 7.3 三态门电路 7.4 双向总线缓冲器 第8章 常用组合逻辑电路设计 8.1 编码器 8.2 译码器 8.2.1 二进制译码器 8.2.2 十进制译码器 8.2.3 七段译码器 8.3 数据选择器和数据分配器 8.3.1 数据选择器 8.3.2 数据分配器 8.4 数据比较器 8.5 奇偶产生/校验器 第9章 常用时序逻辑电路设计 9.1 触发器 9.1.1 R-S触发器 9.1.2 D触发器 9.1.3 JK触发器 9.1.4 T触发器 9.2 计数器 9.2.1 常用的二进制计数器 9.2.2 加减控制计数器 9.2.3 特殊功能计数器 9.3 寄存器 9.3.1 基本寄存器 9.3.2 移位寄存器 9.4 分频器 9.4.1 偶数分频器 9.4.2 奇数分频器 9.4.3 任意整数分频器 第三部分 数字系统设计实例 第四部分 QuartusII和Verilog仿真参考文献

<<Verilog HDL数字系统设计>>

编辑推荐

康磊和张燕燕主编的《Verilog HDL数字系统设计》介绍了可编程逻辑器件的工作原理和开发流程，详细说明了Verilog HDL的基本语法和建模方式，并通过大量的常用逻辑单元和综合系统设计实例及其仿真结果的分析，使读者能够熟练掌握采用Verilog HDL实现数字系统的方法。

为了方便读者学习，还较为详细地介绍了集成开发软件Quartus 和仿真测试软件ModelSim的功能和应用。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>