

<<FPGA设计及应用>>

图书基本信息

书名：<<FPGA设计及应用>>

13位ISBN编号：9787560627120

10位ISBN编号：7560627129

出版时间：2012-4

出版时间：西安电子科技大学出版社

作者：褚振勇 等编著

页数：405

字数：615000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<FPGA设计及应用>>

内容概要

《FPGA设计及应用（第3版）》系统介绍了有关可编程逻辑器件的基本知识以及相关软件的使用方法，讲述了FPGA电路设计的方法和技巧，并给出了设计实例。

本书内容包括：FPGA设计概述、Altera可编程逻辑器件、VHDL硬件描述语言、Quartus II软件集成环境、Quartus

II中的元器件库、Altera器件编程与配置、FPGA设计中的基本问题和FPGA电路设计实例。

本书内容全面、取材新颖、叙述清楚，理论联系实际，突出实用特色，并使用大量图表和实例说明问题，便于读者理解和掌握。

本书既可作为高等工科院校电子与通信类专业高年级本科生和研究生相关课程的教材和参考书，又可作为广大电子设计人员的设计参考书或使用手册。

<<FPGA设计及应用>>

书籍目录

第1章 绪论

- 1.1 EDA发展历程
- 1.2 可编程逻辑器件的基本结构
 - 1.2.1 ASIC的分类
 - 1.2.2 SPLD基本结构
 - 1.2.3 CPLD基本结构
 - 1.2.4 FPGA基本结构
 - 1.2.5 FPGA与CPLD的比较
 - 1.2.6 PLD厂商介绍
- 1.3 可编程逻辑器件的设计
 - 1.3.1 设计方法
 - 1.3.2 设计流程
 - 1.3.3 基于IP的设计

第2章 Altera可编程逻辑器件

- 2.1 概述
- 2.2 FPGA
 - 2.2.1 高端FPGA器件Stratix
 - 2.2.2 高端FPGA器件Stratix
 - 2.2.3 低成本FPGA器件Cyclone
 - 2.2.4 低成本FPGA器件Cyclone
 - 2.2.5 中端FPGA器件Arria
- 2.3 CPLD
 - 2.3.1 MAX3000A器件
 - 2.3.2 MAXII器件
- 2.4 结构化ASIC
 - 2.4.1 简述
 - 2.4.2 HardCopy系统开发流程
 - 2.4.3 HardCopyV器件
- 2.5 成熟器件

第3章 硬件描述语言

- 3.1 硬件描述语言概述
- 3.2 VHDL程序的基本结构
 - 3.2.1 实体说明
 - 3.2.2 结构体
 - 3.2.3 配置
 - 3.2.4 库
 - 3.2.5 程序包
- 3.3 VHDL的描述方法
 - 3.3.1 标识符
 - 3.3.2 词法单元
 - 3.3.3 数据对象
 - 3.3.4 数据类型
 - 3.3.5 操作运算符
- 3.4 VHDL的常用语句
 - 3.4.1 并行语句

<<FPGA设计及应用>>

3.4.2 顺序语句

第4章 Quartus 集成环境

4.1 概述

4.2 Quartus 的安装

4.3 Quartus 10.0图形用户界面

4.4 设计输入

4.4.1 创建一个新的工程

4.4.2 顶层实体文件的建立

4.4.3 子模块文件的建立

4.5 编译设计

4.5.1 编译设置

4.5.2 执行完整的编译

4.5.3 引脚分配

4.5.4 查看适配结果

4.6 时序分析

4.6.1 传统时序分析器

4.6.2 打开TimeQuest时序分析器

4.6.3 创建时序网表

4.6.4 建立时钟约束及报告

4.6.5 110约束及报告

4.6.6 查看详细的时序报告

4.6.7 时序驱动的编译

4.7 仿真

4.7.1 Quartus 仿真器

4.7.2 Modelsim-Altera仿真

4.8 SignalTap 逻辑分析仪

4.8.1 简介

4.8.2 SignalTap 逻辑分析仪的调试

4.9 Quartus 基于模块化的设计流程

4.9.1 渐进式编译

4.9.2 基于LogicLock的设计方法

4.9.3 创建LogicLock区域

4.9.4 自上而下渐进式编译流程

4.9.5 自下而上的LogicLock流程

4.9.6 在EDA工具集中使用LogicLock

4.9.7 使用渐进式编译实现时序逼近

4.10 Quartus 软件其它工具

4.10.1 信号探针SignalProbe

4.10.2 功耗分析PowerPlayPowerAnalyzer

4.10.3 存储器内容编辑In-System MemoryContentEditor

4.10.4 外部逻辑分析仪接口工具

第5章 Quartus 中的元器件库

5.1 Megafunction库

5.1.1 算术运算宏模块库

5.1.2 逻辑门宏模块库

5.1.3 I/O宏模块库

5.1.4 存储宏模块库

<<FPGA设计及应用>>

5.2 Maxplus2库

5.2.1 时序电路模块

5.2.2 运算电路模块

5.3 Primitives库

5.3.1 存储单元库

5.3.2 逻辑门库

5.3.3 缓冲器库

5.3.4 引脚库

5.3.5 其它模块

第6章 Altera器件编程与配置

6.1 PLD器件测试电路板

6.2 PLD器件的配置方式

6.3 下载电缆

6.3.1 ByteBlaster 并口下载电缆

6.3.2 ByteBlasterMV并口下载电缆

6.3.3 MasterBlaster串行/USB通信电缆

6.3.4 USB-Blaster下载电缆

6.3.5 EthernetBlaster通信电缆

6.3.6 EthernetBlasterII通信电缆

6.4 配置器件

6.5 PS模式

6.5.1 电缆下载

6.5.2 利用MAXII器件或微处理器作为外部主机配置

6.6 JTAG模式

6.6.1 Stratix器件配置

6.6.2 Arria器件配置

6.6.3 Cyclone器件配置

6.7 AS模式

6.7.1 串行配置器件的在系统编程

6.7.2 配置芯片下载

6.8 Quartus 编程器的使用方法

第7章 FPGA设计中的基本问题

7.1 数的表示方法

7.1.1 无符号整数

7.1.2 二进制补码

7.1.3 无符号小数

7.1.4 带符号小数的二进制补码

7.1.5 格雷码

7.1.6 带符号整数

7.1.7 偏移二进制补码

7.1.8 浮点数和块浮点数

7.1.9 数的定标问题

7.2 有限字长的影响

7.3 时钟问题

7.3.1 全局时钟

7.3.2 门控时钟

7.3.3 多级逻辑时钟

<<FPGA设计及应用>>

- 7.3.4 行波时钟
- 7.3.5 多时钟系统
- 7.3.6 时钟网络问题
- 7.4 时序参数
- 7.5 冒险现象
- 7.6 清零和置位信号
- 7.7 信号的延时
- 7.8 信号的歪斜
- 7.9 流水线操作
- 7.10 电路结构与速度之间的关系
- 7.11 器件结构与处理算法的匹配
- 7.12 器件加密
- 7.13 设计文档
- 第8章 FPGA电路设计实例
- 附录A 文件的后缀
- 附录B 相关网址检索
- 参考文献

<<FPGA设计及应用>>

章节摘录

版权页：插图：3) 增强的系统集成度 高存储器和乘数器与逻辑的比率。

高I/O数量、低密度和中密度器件满足用户I/O高需求的应用：可调整的I/O回速率以提高信号完整性；支持各种I/O标准如INTTL、LVCMOS、SSTL、HSTL、PCI、PCI—X、LVPECL、VDS、总线LVDS (BINDS)、LVDS、微型LVDS、RSDS和PPDS；支持多值片上终端(OCT)校准功能消除处理、电压和温度(PVT)变化。

每个器件有四个锁相环(PLL)为器件时钟管理、外部系统时钟管理和I/O接口提供强大的时钟管理和合成能力：每个锁相环有五个输出；通过级联节省I/O口，容易的PCB布线，并能降低抖动；通过动态可重构改变相移、频率乘法或除法，或两者兼而有之，并在系统中输入频率时无需重新配置器件。

无需外部控制器就可进行远程系统升级。

专用循环冗余码校验电路检测单事件翻转(SEU)问题。

Cyclone 器件系列的Nios 嵌入式处理器，提供低成本、适合用户的嵌入式解决方案。

能够从Altera和Altera项目合作(AMPP)伙伴那里广泛收集预先建立和验证的IP内核。

支持高速外部存储器接口，如DDR、DDR2、SDR SDRAM和QDR SRAM：自动校准PHY功能，简化了时序收敛过程并通过PVT消除DDR、DDR2和QDR SRAM的接口变化。

Cyclone 器件系列支持垂直移植。

对于给定的封装器件密度，允许用户将所用器件移植到与其具有相同的专用引脚、配置引脚和电源引脚的其它器件中。

这使用户可以随着设计的进展优化设备密度和成本。

2.结构特点 Cyclone 器件系列包括针对便携式应用优化的客户定义的特征集，它提供了宽范围密度、存储器、嵌入式乘法器和I/O选项。

Cyclone 器件系列支持多种外部存储器接口和高容量应用中常见的I/O协议。

Quartus 软件的功能和参数化的IP核使用户更轻松使用Cyclone 器件系列的接口和协议。

1) 逻辑单元和逻辑阵列块 一个逻辑阵列模块由16个逻辑单元和1个LAB控制模块组成。

LE是Cyclone III器件系列结构的最小逻辑单位。

每个LE有4个输入、1个四输入查找表(LUT)、1个寄存器和输出逻辑。

四输入LUT是一个函数发生器，能够实现四变量的任何功能。

2) 内存模块 Cyclone 器件系列的每个M9K内存块提供9 kb的片上内存，在Cyclone 器件中存储器工作频率高达315 MHz，在Cyclone LS器件中工作频率高达274 MHz。

嵌入式存储器结构由M9K内存块阵列组成，可以配置为RAM、先入先出(FIFO)缓冲器或ROM。

Cyclone 器件系列内存块已针对高速数据包处理、嵌入式处理器程序和嵌入式数据存储进行了优化。

Quartus 软件允许充分利用M9K存储器模块，可以通过专用宏功能模块向导示例或直接从VHDL或Verilog源代码中推断为内存。

M9K存储器模块支持单端口、简单双端口和真双端口工作模式。

单端口模式和简单双端口模式支持所有端口宽度配置为 $\times 1$ ， $\times 2$ ， $\times 4$ ， $\times 8$ ， $\times 9$ ， $\times 16$ ， $\times 18$ ， $\times 32$ 和 $\times 36$ 。

真双端口模式支持端口宽度配置为 $\times 1$ ， $\times 2$ ， $\times 4$ ， $\times 8$ ， $\times 9$ ， $\times 16$ 和 $\times 18$ 。

3) 嵌入式乘法器和数字信号处理 Cyclone 器件支持多达288个嵌入式乘法器模块，Cyclone LS器件支持多达396个嵌入式乘法器模块。

每个模块支持一个单独的 18×18 位乘法器或两个单独的 9×9 位乘法器。

Quartus 软件包含的宏功能模块被用来控制基于用户参数设置的嵌入式乘法器模块操作模式。

乘法器也可以直接从VHDL或Verilog源代码中推断出。

除了嵌入式乘法器，Cyclone 器件系列包括片上资源和外部接口的组合，这样使它们在增强性能、降低系统成本和降低数字信号处理(DSP)系统功耗方面变得更加理想。

<<FPGA设计及应用>>

用户可以单独使用Cyclone 器件系列或作为DSP器件的协处理器提高DSP系统的性价比。

Cyclone 器件系列的DSP系统设计支持包括以下特点。

DSP IP核：通用DSP处理功能，如有限冲击响应（FIR）、快速傅立叶变换（FFT）以及数控振荡器（NCO）函数；普通视频和图像处理函数套件。

为最终市场应用提供的完整参考设计。

在Quartus 软件与MathWorks Simulink和Matlab设计环境之间提供DSP Builder接口工具。

DSP开发工具套件。

4) 时钟网络和PLL Cyclone 器件系列包括20个全局时钟网络，可以从专用时钟引脚、双重目的时钟引脚、用户逻辑和锁相环PLL上驱动全局时钟信号。

Cyclone 器件系列包括最高4个五输出锁相环（PLL），每个PLL都可以进行强大的时钟管理和综合。可以利用PLL进行器件时钟管理、外部系统时钟管理和I/O接口管理。

可以动态重新配置Cyclone 器件系列的PLL，对正在工作的器件外部存储器接口进行自动校准。

该功能支持多输入源频率，并且能满足相应的乘法、除法和相移要求。

Cyclone 器件系列的锁相环可以级联，从一个单一的外部时钟源在输出引脚上产生多达10个内部时钟和两个外部时钟。

5) I/O功能 Cyclone 器件系列有8个I/O组。

所有I/O组支持单端和差分I/O标准。

Cyclone 器件系列I/O还支持可编程总线保持、可编程上拉电阻、可编程延迟、可编程驱动强度、为优化信号完整性的可编程摆率控制及热插拔。

Cyclone 器件系列可以用每面只有一个OCT校准模块支持片上串行终端（RsOCT））准或单端I/O标准驱动阻抗匹配（Rs）。

<<FPGA设计及应用>>

编辑推荐

《FPGA设计及应用(第3版)》既可作为高等工科院校电子与通信类各专业高年级本科生和研究生相关课程的教材和参考书，又可作为广大电子设计人员的设计参考书或使用手册。

<<FPGA设计及应用>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>