

图书基本信息

书名：<<Verilog HDL数字集成电路设计原理与应用>>

13位ISBN编号：9787560626529

10位ISBN编号：7560626521

出版时间：2011-9

出版时间：西安电子科技大学出版社

作者：蔡觉平，何小川，李道楠 编著

页数：277

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

内容概要

本书系统地介绍了Verilog HDL语法和程序设计，明确了数字可综合逻辑设计和测试仿真程序设计的不同，通过对典型的组合逻辑电路、时序逻辑电路和测试程序的设计举例，较为完整地说明了Verilog HDL语言在数字集成电路中的使用方法。

全书共8章，主要内容包括硬件描述语言和Verilog HDL概述，Verilog HDL的基本语法，Verilog HDL程序设计语句和描述方式，Verilog HDL对组合逻辑和时序逻辑的设计和举例，Verilog HDL集成电路测试程序和测试方法，较为复杂的数字电路和系统的设计例，数字集成电路中Verilog HDL的EDA工具和使用，以及对Verilog HDL发展的分析等。

本书可作为电子信息类相关专业本科生和研究生的教材，也可作为数字集成电路设计工程师的参考书。

书籍目录

- 第1章 VerilogHDL数字集成电路设计方法概述
 - 1.1 数字集成电路的发展和设计方法的演变
 - 1.2 硬件描述语言
 - 1.3 VerilogHDL的发展和国际标准
 - 1.4 VerilogHDL和VHDL
 - 1.5 VerilogHDL在数字集成电路设计中的优点
 - 1.6 功能模块的可重用性
 - 1.7 IP核和知识产权保护
 - 1.8 VerilogHDL在数字集成电路设计流程中的作用
- 本章小结
- 思考题和习题
- 第2章 VerilogHDL基础知识
 - 2.1 VerilogHDL的语言要素
 - 2.1.1 空白符
 - 2.1.2 注释符
 - 2.1.3 标识符和转义标识符
 - 2.1.4 关键字
 - 2.1.5 数值
 - 2.2 数据类型
 - 2.2.1 物理数据类型
 - 2.2.2 连线型和寄存器型数据类型的声明
 - 2.2.3 存储器型
 - 2.2.4 抽象数据类型
 - 2.3 运算符
 - 2.3.1 算术运算符
 - 2.3.2 关系运算符
 - 2.3.3 相等关系运算符
 - 2.3.4 逻辑运算符
 - 2.3.5 按位运算符
 - 2.3.6 归约运算符
 - 2.3.7 移位运算符
 - 2.3.8 条件运算符
 - 2.3.9 连接和复制运算符
 - 2.4 模块
 - 2.4.1 模块的基本概念
 - 2.4.2 端口
- 本章小结
- 思考题和习题
- 第3章 VerilogHDL程序设计语句和描述方式
 - 3.1 数据流建模
 - 3.2 行为级建模
 - 3.2.1 过程语句
 - 3.2.2 语句块
 - 3.2.3 过程赋值语句
 - 3.2.4 连续赋值语句

3.2.5 条件分支语句

3.2.6 循环语句

3.3 结构化建模

3.3.1 模块级建模

3.3.2 门级建模

3.3.3 开关级建模

本章小结

思考题和习题

第4章 VerilogHDL数字逻辑电路设计方法

4.1 verilogHDL语言的设计思想和可综合特性

4.2 组合电路的设计

4.2.1 数字加法器

4.2.2 数据比较器

4.2.3 数据选择器

4.2.4 数字编码器

4.2.5 数字译码器

4.2.6 奇偶校验器

4.3 时序电路的设计

4.3.1 触发器

4.3.2 计数器

4.3.3 移位寄存器

4.3.4 序列信号发生器

4.4 有限同步状态机

本章小结

.....

参考文献

章节摘录

版权页：插图：1995年底，IEEE制定了第一个Verilog HDL语言标准Verilog IEEE 1364-1995在此基础上，于2001年又增加了部分功能，并制定了较为完善的标准Verilog IEEE 1364-2001。

目前在数字集成电路方面主要采用的就是这两个标准所规定的程序语法和设计规范。

Verilog HDL在数字集成电路设计上的优越性，使其在硬件设计领域得到了广泛的应用和发展。

在模拟电路设计方面，基于IEEE 1364 Verilog HDL规范，提出了模拟电路行业的标准建模语言Verilog-A，以提高模拟集成电路的程序化设计能力。

在系统级设计方面，传统的设计方法采用C语言等高级软件语言进行数学模型的建立和分析，通过定点化设计，将数学模型转变成电路模型，最后采用HDL语言进行电路设计。

这种方法的缺点是，数学模型的建立和电路设计是独立的，从而导致设计周期长、需要的人员和软件多，且存在重复性的工作等问题。

研究和开发人员希望能将数学模型直接用于数字集成电路的设计，以提高集成电路的设计效率，这就给EDA工具厂商提出了新的要求。

为了满足这一要求，2005年诞生了System Verilog IEEE 1800-2005标准。

该标准建立在Verilog HDL语言的基础上，在系统层次上增强了模型建立和验证的功能，是IEEE 1364 Verilog-2001标准的扩展，向下兼容Verilog-2001，并将成为下一代硬件设计和验证的语言。

在功能设计方面，Verilog HDL采用描述性建模方式，通过行为描述、数据流描述和结构性描述等方式，可以对电路、输入信号激励和响应监控方式进行设计。

同时，提供编程语言接口，通过该接口可以在模拟、验证期间从设计外部访问设计，包括模拟的具体控制和运行。

Verilog HDL语言定义了完善的语法规则，对每个语法结构都定义了清晰的模拟、仿真语义。

它从C语言中继承了多种操作符和结构，具有较强的扩展建模能力。

Verilog HDL语言的核心子集相对紧凑，可以满足大多数建模应用的要求，容易学习和掌握。

当然，应用于数字集成电路设计的较为完整的Verilog HDL语言还有很多的语法规则和使用方式，需要进一步学习。

本书主要针对Verilog HDL基本语法规则和数字集成电路设计进行讲述，更为专业和细致的内容需要参照相关的国际标准和EDA工具的功能说明，以应对越来越复杂的数字集成电路芯片设计和验证工作。

1.4 Verilog HDL和VHDL目前，最为常用的硬件描述语言有两种，分别是Verilog HDL和VHDL（VHSIC Hardware Description Language）。

其中，VHSIC是Very High Speed Integrated Circuit的缩写，故VHDL准确的中文译名应为甚高速集成电路的硬件描述语言。

Verilog HDL和VHDL都是完备的HDL设计和验证语言，具有完整的设计方法和设计规范。

它们可以设计和验证超大规模数字集成电路，并且都已成为IEEE标准。

选用哪种语言进行数字集成电路开发，主要取决于设计单位的基础、计划采用的设计方案和EDA工具。

。

编辑推荐

《Verilog HDL数字集成电路设计原理与应用》是高等学校电子信息类专业“十二五”规划教材之一。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>