

<<EDA技术入门与提高>>

图书基本信息

书名：<<EDA技术入门与提高>>

13位ISBN编号：9787560622156

10位ISBN编号：7560622151

出版时间：2009-4

出版时间：西安电子科技大学出版社

作者：王行，熊寿葵，李衍 编著

页数：307

字数：467000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<EDA技术入门与提高>>

内容概要

本书通过大量实例系统地介绍了应用EDA技术进行FPGA/CPLD件的数字电路系统仿真设计的方法和技巧。

本书的主要内容包括EDA技术概述、可编程逻辑器件、Quartus

7.2简介、图形输入设计方法、文本输入设计方法、VHDL入门、常见逻辑单元的VHDL描述、有限状态机设计、VHDL设计实例、设计中的常见问题及FPGA/CPLD器件的硬件连接等。

本书内容全面、叙述清晰，既可作为学习EDA技术应用的基础教材，也可作为电子类工程技术人员的参考书。

<<EDA技术入门与提高>>

书籍目录

第1章 EDA技术概述

- 1.1 EDA技术的发展历程
- 1.2 应用EDA技术的设计特点
- 1.3 EDA工具软件结构

第2章 可编程逻辑器件

- 2.1 可编程逻辑器件概述
- 2.2 Altera公司的可编程逻辑器件
 - 2.2.1 MAX系列器件
 - 2.2.2 FLEX系列器件
 - 2.2.3 Cyclone系列器件
 - 2.2.4 ACEXIK系列器件
 - 2.2.5 StratixTM系列器件
 - 2.2.6 ArriaTM GX系列器件
 - 2.2.7 Excalibur TM系列器件
- 2.3 其他可编程逻辑器件
 - 2.3.1 Xilinx公司的器件产品
 - 2.3.2 Lattice公司的器件产品

第3章 Quartus 7.2简介

- 3.1 Quartus 7.2的设计步骤
- 3.2 Quartus 7.2的安装
 - 3.2.1 Quartus 7.2的版本分类
 - 3.2.2 Quartus 7.2的安装要求
 - 3.2.3 Quartus 7.2的安装过程
 - 3.2.4 第一次运行Quartus 7.2
- 3.3 Quartus 7.2的结构和工作环境
 - 3.3.1 Quartus 7.2的结构
 - 3.3.2 Quartus 7.2的工作环境

第4章 图形输入设计方法

- 4.1 4位加法器设计实例
 - 4.1.1 4位加法器逻辑设计
 - 4.1.2 半加器模块设计过程
 - 4.1.3 全加器模块设计过程
 - 4.1.4 4位加法器的设计过程
- 4.2 宏功能模块及其使用
 - 4.2.1 时序电路宏模块
 - 4.2.2 运算电路宏模块
 - 4.2.3 2位十进制数字位移测量仪设计实例
- 4.3 LPM宏模块及其使用
 - 4.3.1 参数化时序单元宏模块
 - 4.3.2 参数化运算单元宏模块
 - 4.3.3 参数化存储器宏模块
 - 4.3.4 其他模块
 - 4.3.5 参数化宏模块的使用方法

第5章 文本输入设计方法

- 5.1 文本输入界面

<<EDA技术入门与提高>>

5.2 用VHDL实现8位加法器设计

第6章 VHDL入门

6.1 VHDL的结构

6.1.1 实体

6.1.2 结构体

6.1.3 VHDL库

6.1.4 VHDL程序包

6.1.5 配置

6.2 VHDL的词法元素

6.2.1 分界符

6.2.2 标识符

6.2.3 注释

6.2.4 字符文字

6.3 VHDL的数据对象

6.4 VHDL的数据类型

6.4.1 VHDL标准程序包STANDARD中定义的数据类型

6.4.2 用户定义的数据类型

6.4.3 IEEE预定义标准逻辑位与矢量

6.4.4 VHDL的类型转换

6.5 VHDL的操作符

6.5.1 逻辑 (LOGICAL) 操作符

6.5.2 算术 (ARITHMETIC) 操作符

6.5.3 关系(RELATIONAL)操作符

6.5.4 并置(CONCATENATION)操作符

6.5.5 操作符的优先级

6.6 VHDL的语法基础

6.6.1 并行语句

6.6.2 顺序语句

第7章 常见逻辑单元的VHDL描述

7.1 组合逻辑单元的VHDL描述

7.1.1 基本逻辑门的VHDL描述

7.1.2 编码器、译码器和多路选通器的VHDL描述

7.1.3 加法器和求补器的VHDL描述

7.1.4 三态门及总线缓冲器

7.2 时序电路的VHDL描述

7.2.1 时钟信号和复位信号

7.2.2 触发器

7.2.3 寄存器

7.2.4 计数器

7.3 存储器的VHDL描述

7.3.1 存储器的数据初始化

7.3.2 ROM(只读存储器)的VHDL描述

7.3.3 RAM(随机存储器)的VHDL描述

7.3.4 先进先出(FIFO)堆栈的VHDL描述

第8章 有限状态机设计

8.1 有限状态机的优点及转移图描述

8.1.1 有限状态机的优点

<<EDA技术入门与提高>>

- 8.1.2 有限状态机的转移图描述
- 8.2 有限状态机的VHDL描述
 - 8.2.1 状态说明
 - 8.2.2 主控时序进程
 - 8.2.3 主控组合进程
 - 8.2.4 辅助进程
- 8.3 有限状态机编码
 - 8.3.1 状态位直接输出型编码
 - 8.3.2 顺序编码
 - 8.3.3 一位热码编码(OneHotEncoding)
- 8.4 有限状态机剩余状态码的处理
- 8.5 有限状态机设计实例
- 第9章 VHDL设计实例
 - 9.1 SPI接口的VHDL实现
 - 9.1.1 SPI接口介绍
 - 9.1.2 移位寄存器编程
 - 9.1.3 SPI主从选择模块编程
 - 9.1.4 时钟信号发生模块
 - 9.1.5 SH接口控制管理模块
 - 9.1.6 顶层设计VHDL描述
 - 9.2 URAT接口的VHDL实现
 - 9.2.1 UART接口介绍
 - 9.2.2 UART顶层的模块划分和VHDL描述
 - 9.2.3 波特率发生模块分析与VHDL描述
 - 9.2.4 UART发送模块程序与仿真
 - 9.2.5 UART接收模块分析及其VHDL描述
 - 9.3 ASK调制解调器的VHDL实现
 - 9.3.1 ASK调制器的VHDL描述
 - 9.3.2 ASK解调器的VHDL描述
- 第10章 设计中的常见问题
 - 10.1 信号毛刺的产生及消除
 - 10.1.1 信号毛刺的产生
 - 10.1.2 信号毛刺的解决方法
 - 10.2 时钟问题
 - 10.2.1 信号的建立和保持时间
 - 10.2.2 全局时钟
 - 10.2.3 门控时钟
 - 10.2.4 多时钟系统
 - 10.3 复位和清零信号
- 第11章 FPGA/CPLD器件的硬件连接
 - 11.1 编程工艺及方式介绍
 - 11.2 ByteBlaster下载电缆
 - 11.3 JTAG方式编程和配置
 - 11.4 Ps配置力式
 - 11.5 使用专用配置器件配置FPGA
- 参考文献

<<EDA技术入门与提高>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>