

<<EDA原理及Verilog实现>>

图书基本信息

书名：<<EDA原理及Verilog实现>>

13位ISBN编号：9787302224891

10位ISBN编号：7302224897

出版时间：2010-7

出版时间：清华大学

作者：何宾

页数：340

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<EDA原理及Verilog实现>>

前言

随着半导体技术和数字化处理技术的飞速发展，以及新电子产品上市周期的缩短，基于可编程逻辑器件的复杂数字系统设计成为电子设计自动化技术EDA中一个重要的研究方向和应用领域。

采用可编程逻辑器件PLD比采用专用集成电路ASIC：和专用标准部件ADDP的成本低。

基于EDA技术和可编程逻辑器件的数字系统设计技术，可极大地缩短系统设计周期，满足市场对产品竞争力的要求。

随着可编程逻辑器件功能的日趋强大和相关设计软件性能的不断完善，基于EDA技术的设计方法越来越受到电子设计人员的重视，硬件描述语言HDL原理图、IP核和网表等设计方法成为可编程逻辑器件设计中需要掌握的设计技术。

可编程逻辑器件已经从单纯的数字逻辑设备发展到了片上可编程系统SOPC：阶段，因此要求EDA设计人员必须能够实现软件和硬件的协同工作。

本书力图全面系统地介绍基于Xilinx可编程逻辑器件的设计原理和方法。

通过系统介绍其设计原理和方法，使读者能够系统全面地掌握可编程逻辑器件的设计方法和技巧。

本书主要包括以下几个部分。

EDA的设计导论部分，该部分主要介绍EDA技术的发展历史、EDA技术所涉及的内容、设计流程和HDL硬件描述语言概念。

<<EDA原理及Verilog实现>>

内容概要

本书是为高等学校信息类和其他相关专业编著的教材。

本书共分为11章。

主要介绍了EDA设计导论，可编程逻辑器件设计方法，Verilog HDL语言基础，数字逻辑单元设计，Verilog HDL高级设计技术，基于HDL的设计输入，基于原理图的设计输入，设计综合和行为仿真，设计实现和时序仿真，设计下载和调试，数字系统设计实例。

根据EDA课程的教学要求和实际的教学实践的体会，本书不仅系统地介绍了EDA的设计理论，而且将理论和实践相结合，给出了大量的设计实例，并反映了最新的EDA设计技术及发展趋势。本书可作为大学本科生和研究生教材，也可作为从事Xilinx可编程逻辑器件设计的设计人员的参考用书，同时也可作为与Xilinx相关的培训教材。

<<EDA原理及Verilog实现>>

书籍目录

第1章 EDA设计导论	1.1 EDA技术综述	1.1.1 EDA技术发展历史	1.1.2 EDA技术含义	1.1.3 EDA技术主要内容
1.2 PLD设计方法学	1.2.1 PLD设计概论	1.2.2 PLD设计流程	1.2.3 SOPC设计流程	1.3 HDL硬件描述语言
1.3.1 HDL硬件描述语言概念	1.3.2 HDL语言特点和比较	1.3.3 HDL语言最新发展	习题第2章 可编程逻辑器件设计方法	2.1 可编程逻辑器件基础
2.1.1 可编程逻辑器件概述	2.1.2 可编程逻辑器件的发展历史	2.2 PLD芯片制造工艺	2.3 PLD芯片结构	2.3.1 CPLD原理及结构
2.3.2 FPGA原理及结构	2.3.3 CPLD和FPGA比较	2.3.4 PLD选择原则	2.4 Xilinx公司芯片简介	2.4.1 Xilinx CPLD芯片介绍
2.4.2 Xilinx FPGA芯片介绍	2.4.3 Xilinx PROM芯片介绍	习题第3章 Verilog HDL语言基础	3.1 Verilog语言概述	3.1.1 Verilog HDL语言发展历史
3.1.2 Verilog HDL硬件描述语言功能	3.2 Verilog程序结构	3.2.1 模块声明	3.2.2 模块端口定义	3.2.3 信号类型声明
3.2.4 逻辑功能定义	3.3 Verilog语言要素	3.4 Verilog常量	3.4.1 整数型常量	3.4.2 实数型常量
3.4.3 字符串常量	3.5 Verilog数据类型	3.5.1 网络和变量	3.5.2 参数	3.5.3 向量
3.6 Verilog名字空间	3.7 Verilog语言表达式	3.7.1 操作符	3.7.2 延迟表达式	3.7.3 表达式的位宽
3.7.4 有符号表达式	3.8 Verilog行为描述语句	3.8.1 过程语句	3.8.2 语句块	3.8.3 赋值语句
3.8.4 分支语句	3.8.5 循环控制语句	3.9 Verilog门级描述语句	3.9.1 内置基本门级元件	3.9.2 用户自定义基本元件
3.10 Verilog生成语句及结构	3.11 Verilog编译指示语句	3.12 Verilog系统任务和函数	3.13 Verilog用户定义任务和函数	3.13.1 任务
3.13.2 函数	3.14 Verilog语言模块描述方式	3.14.1 层次化设计方法	3.14.2 模块的行为级描述	3.14.3 模块的数据流描述
3.14.4 模块的结构描述	习题第4章 数字逻辑单元设计	第5章 Verilog HDL高级设计技术	第6章 基于HDL的设计输入	第7章 基于原理图的设计输入
第8章 设计综合和行为仿真	第9章 设计实现和时序仿真	第10章 设计下载和调试	第11章 数字系统设计实例	附录A XST支持的Verilog结构
附录B XST支持的Verilog语句	附录C XST支持的Verilog系统任务和函数	附录D XST支持的Verilog原语	附录E XST支持的Verilog关键字	参考文献

章节摘录

5.行为仿真行为仿真检查综合结果是否和原设计一致。

在仿真时，把综合生成的标准延时文件反标注到行为仿真模型中去，可估计门延时带来的影响。

但这一步骤不能估计线延时，因此和布线后的实际情况还有一定的差距，并不十分准确。

目前的综合工具较为成熟，对于一般的设计可以省略这一步，但如果在布局布线后发现电路结构和设计意图不符，则需要回溯到行为仿真来确认问题之所在。

在功能仿真中介绍的软件工具一般都支持行为仿真。

6.实现实现是将综合生成的逻辑网表配置到具体的FPGA芯片上，布局布线是其中最重要的过程。

布局将逻辑网表中的硬件原语和底层单元合理地配置到芯片内部的固有硬件结构上，并且往往需要在速度最优和面积最优之间作出选择。

布线根据布局的拓扑结构，利用芯片内部的各种连线资源，合理正确地连接各个元件。

目前，FPGA的结构非常复杂，特别是在有时序约束条件时，需要利用时序驱动的引擎进行布局布线。

布线结束后，软件工具会自动生成报告，提供有关设计中各部分资源的使用情况。

由于只有FPGA芯片生产商对芯片结构最为了解，所以布局布线必须选择芯片开发商提供的工具。

7.时序仿真时序仿真，也称为后仿真，是指将布局布线的延时信息反标注到设计网表中来检测有无时序违规（即不满足时序约束条件或器件固有的时序规则，如建立时间、保持时间等）现象。

时序仿真包含的延迟信息最全，也最精确，能较好地反映芯片的实际工作情况。

由于不同芯片的内部延时不一样，不同的布局布线方案也给延时带来不同的影响。

因此在布局布线后，通过对系统和各个模块进行时序仿真，分析其时序关系，估计系统性能，以及检查和消除竞争冒险是非常有必要的。

在功能仿真中介绍的软件工具一般都支持时序仿真。

<<EDA原理及Verilog实现>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>