

<<PCI、PCI-X和PCI Expre>>

图书基本信息

书名：<<PCI、PCI-X和PCI Express的原理及体系结构>>

13位ISBN编号：9787302144380

10位ISBN编号：7302144389

出版时间：2007-4

出版时间：清华大学

作者：马鸣锦 朱剑冰等

页数：420

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## <<PCI、PCI-X和PCI Express>>

### 内容概要

PCI Express是一种新的IO互连结构，被称为第三代本地IO总线，与其前任总线（PCI/PCI-X）相比，在总线结构上采取了根本性的变革，以满足现在的及将来的处理器和外围设备提出的更高的带宽要求。本书首先对PCI/PCI-X总线架构作了全面、简要的介绍；然后在整体描述PCI Express架构的基础上，逐一对PCI Express所采用的新方法、新思路和新技术进行了深入的描述与讨论；最后完整地介绍了与PCI兼容的PCI Express配置机制及配置寄存器。

使读者在了解新一代IO互连结构的过程中获得计算机体系结构方面的理论和知识，提高计算机系统硬件和软件的开发能力。

本书可作为高等院校计算机专业及相关研究领域的研究生教材，可为从事相关专业本科教学的老师提供教学参考，对于从事个人计算机系统设计和应用开发的科技人员来说，也是一本内容翔实，可读性强的参考书。

## &lt;&lt;PCI、PCI-X和PCI Expre&gt;&gt;

## 书籍目录

- 第1章 PCI及PCI - X架构综述 1.1 PCI架构综述 1.1.1 基于PCI总线的结构 1.1.2 PCI总线信号的定义和功能 1.1.3 PCI总线的事务类型 1.1.4 系统地址空间及PCI地址空间映射 1.1.5 PCI总线主要的总线操作 1.1.6 改进的PCI总线系统 1.1.7 PCI总线结构的局限性
- 1.2 PCI - X架构简述 1.2.1 寄存器 - 寄存器的信号传送协议 1.2.2 PCI - X提高总线效率的改进措施 1.2.3 PCI - X支持消息通知中断MSI 1.2.4 PCI - X 1.0总线平台例第2章 PCI Express架构概览 2.1 PCI Express的拓扑结构 2.1.1 PCI Express结构的基本元素 2.1.2 PCI Express系统示例 2.1.3 系统拓扑结构示例 2.2 PCI Express事务介绍 2.2.1 PCI Express事务协议简述 2.2.2 PCI Express事务举例 2.3 PCI Express设备的层次 2.3.1 设备层及相应的包 2.3.2 PCI Express设备各层的关键功能第3章 事务层包和事务路由 3.1 事务层包TLP 3.1.1 TLP的组装与拆解 3.1.2 TLP结构 3.1.3 请求事务和完成事务的TLP 3.2 地址空间和事务路由 3.2.1 事务层包的路由基础 3.2.2 与路由有关的即插即用配置 3.2.3 事务层包的路由机制第4章 数据链路层包和ACK/NAK链路传输协议 4.1 数据链路层包DLLP 4.1.1 DLLP的组装与拆解 4.1.2 DLLP的类型和结构 4.1.3 DLLP的包格式 4.2 ACK/NAK链路传输协议 4.2.1 ACK/NAK协议概览 4.2.2 发送方ACK/NAK协议 4.2.3 接收方ACK/NAK协议 4.2.4 包的处理优先序 4.2.5 关于ACK/NAK协议可靠传递TLP的例证 4.3 交换开关的直通模式 4.3.1 交换开关对直通模式的需求 4.3.2 交换开关的直通模式第5章 传输类别、虚通道和仲裁 5.1 服务质量的概念 5.2 传输类别和虚通道 5.2.1 VC配置寄存器的结构 5.2.2 VC分配和TC映射 5.3 仲裁 5.3.1 虚通道仲裁 5.3.2 端口仲裁 5.3.3 非交换开关的端口仲裁和VC仲裁第6章 流控制协议 6.1 流控制概念 6.2 流控制机构的组成 6.2.1 流控制缓冲器 6.2.2 流控制包 6.2.3 流控制机构的元素及其作用 6.3 流控制机构的操作示例 6.3.1 初始化之后的流控制 6.3.2 流控制缓冲器填满 6.3.3 流控制信用量循环指针的翻转 6.3.4 FC缓冲器溢出错误检查 6.4 流控制信用量的通报数量 6.4.1 不限定的流控制信用量的通报 6.4.2 通报信用量的最少数量要求 6.5 流控制初始化和流控制更新 6.5.1 流控制初始化的过程与步骤 6.5.2 流控制初始化之后的流控制更新第7章 事务排序 7.1 基本的排序规则 7.1.1 生产者/消费者模型 7.1.2 PCI Express的基本排序规则 7.2 宽松排序 7.2.1 RO对存储器写和消息事务的影响 7.2.2 RO对存储器读事务的影响 7.2.3 基于强排序和RO属性的基本排序规则 7.3 强排序规则的修正 7.3.1 强排序引起的事务阻塞 7.3.2 弱排序修正方案 7.4 支持PCI总线和避免死锁第8章 中断 8.1 消息信号中断 8.1.1 MSI能力寄存器组及其配置步骤 8.1.2 MSI中断请求的生成 8.1.3 使用MSI中断的注意事项 8.2 虚拟INTx信号中断 8.2.1 PCI的中断提交方法 8.2.2 虚拟INTx#信号发送 8.2.3 INTx消息传递相关的规则第9章 物理层 9.1 逻辑物理层的发送逻辑 9.1.1 多路控制逻辑 9.1.2 字节剥解 9.1.3 乱序器 9.1.4 8/10b编码 9.1.5 发送逻辑的其他有关事项 9.2 逻辑物理层的接收逻辑 9.2.1 Rx时钟还原与串/并转换 9.2.2 符号锁定 9.2.3 去除通路间的时差 9.2.4 接收器时钟补偿逻辑 9.2.5 8/10b译码器 9.2.6 除乱序器 9.2.7 解除字节剥解逻辑和过滤器 9.2.8 物理层错误处理 9.3 电气物理层 9.3.1 差分驱动器和差分接收器 9.3.2 高速电气信号传送的一些要求 9.3.3 探测接收器 9.3.4 电气闲 9.3.5 减重(预加重) 9.3.6 发送器驱动器的特性 9.3.7 输入接收器的特性 9.3.8 各电源状态下的电气物理层状态第10章 系统复位 10.1 两类系统复位 10.1.1 基本复位 10.1.2 带内复位 10.2 复位退出 10.3 将链路从L2低功耗状态唤醒第11章 链路训练和初始化 11.1 链路训练和初始化的内容 11.2 链路训练和初始化期间所使用的有序集 11.2.1 TS1和TS2有序集 11.2.2 其余有序集 11.3 链路训练和状态机 11.3.1 Detect状态 11.3.2 Polling状态 11.3.3 Configuration状态 11.3.4 L0状态 11.3.5 L0s状态 11.3.6 L1状态 11.3.7 L2状态 11.3.8 Recovery状态 11.3.9 Hot Reset状态 11.3.10 Disable状态 11.3.11 Loopback状态 11.4 LTSSM有关的配置寄存器 11.4.1 链路能力寄存器 11.4.2 链路状态寄存器 11.4.3 链路控制寄存器第12章 电源管理 12.1 电源管理配置软件的基础 12.1.1 PCI PM基础 12.1.2 电源管理状态的定义及设备运

## &lt;&lt;PCI、PCI-X和PCI Expre&gt;&gt;

行环境信息的定义 12.1.3 PCI Express电源管理与ACPI 12.2 功能的电源管理 12.2.1 设备的PM状态 12.2.2 PM能力寄存器组 12.3 链路的活跃状态电源管理 12.3.1 活跃状态电源管理概述 12.3.2 L0s状态 12.3.3 L1 ASPM状态 12.3.4 ASPM退出等待时间 12.4 软件发起的链路电源管理 12.4.1 D1/D2/D3Hot和L1状态 12.4.2 L2/L3 Ready状态 12.5 链路唤醒协议和PME的产生 12.5.1 PME消息及相关事宜 12.5.2 唤醒非通信链路 12.5.3 辅助电源第13章 热插拔 13.1 PCI Express的热插拔环境与硬软件组成要素 13.1.1 PCI和PCI Express热插拔之间的不同 13.1.2 热插拔所涉及的软件 13.1.3 热插拔所涉及的硬件 13.2 卡拔出和插入的过程 13.2.1 On和Off状态 13.2.2 卡拔出步骤 13.2.3 卡插入过程 13.3 标准化的使用模型 13.3.1 标准用户接口 13.3.2 标准的热插拔控制信号接口 13.4 热插拔控制器编程接口 13.4.1 插槽能力寄存器 13.4.2 插槽控制寄存器 13.4.3 插槽状态寄存器 13.4.4 卡插槽与服务器IO模块 13.5 插槽号 13.6 热插拔原语第14章 错误检测和处理 14.1 PCI Express错误管理概述 14.1.1 PCI Express错误检测范围 14.1.2 错误报告渠道 14.1.3 错误分类 14.2 PCI Express的错误源 14.2.1 ECRC的产生和检查 14.2.2 数据中毒 14.2.3 TC到VC的映射错误 14.2.4 链路流控制有关的错误 14.2.5 畸形事务层包 14.2.6 分割事务错误 14.3 错误分类及错误报告方法 14.3.1 错误分类 14.3.2 错误报告方法 14.4 基本的错误检测和处理 14.4.1 PCI兼容的错误报告机制 14.4.2 PCI Express的错误报告机制 14.5 高级的错误报告机制 14.5.1 ECRC的产生和检查 14.5.2 高级可纠正错误的处理 14.5.3 高级不可纠正错误的处理 14.5.4 错误日志 14.5.5 根复合体的错误跟踪和报告 14.6 错误处理流程第15章 PCI Express配置机制及系统枚举 15.1 PCI Express的配置空间 15.1.1 配置空间的作用 15.1.2 配置空间的层次和大小 15.1.3 配置空间的布局结构 15.2 PCI Express的配置访问机制 15.2.1 PCI兼容的配置访问机制 15.2.2 PCI Express增强的配置访问机制 15.2.3 关于初始的配置访问的一些时间规定 15.3 PCI Express枚举 15.3.1 对具有单个根复合体系统的枚举 15.3.2 对具有多个根复合体系统的枚举 15.4 与系统枚举和系统拓扑有关的一些问题 15.4.1 根复合体和交换开关内的多功能设备 15.4.2 嵌入根复合体和交换开关内的端点 15.4.3 设备ID的获知和记忆第16章 PCI兼容的配置寄存器 16.1 类型0配置头标区 16.1.1 用来识别设备驱动程序的寄存器 16.1.2 头标类型寄存器 16.1.3 BIST寄存器 16.1.4 能力指针寄存器 16.1.5 Card Bus卡信息结构指针寄存器 16.1.6 命令寄存器 16.1.7 状态寄存器 16.1.8 基地址寄存器 16.1.9 扩充ROM及扩充ROM基地址寄存器 16.1.10 中断线寄存器 16.1.11 中断引脚寄存器 16.2 类型1配置头标区 16.2.1 总线号寄存器 16.2.2 基本的事务过滤机制 16.2.3 桥的IO过滤器 16.2.4 桥的可预取存储器过滤器 16.2.5 桥的存储器映射IO过滤器 16.2.6 桥的命令和控制寄存器 16.2.7 桥的状态和次级状态寄存器 16.3 PCI兼容的能力寄存器组 16.3.1 底板和插槽 16.3.2 底板/插槽编号有关的寄存器 16.3.3 两个例子第17章 PCI Express专用配置寄存器 17.1 PCI Express能力寄存器组 17.1.1 PCI Express能力寄存器 17.1.2 设备能力寄存器 17.1.3 设备控制寄存器 17.1.4 设备状态寄存器 17.1.5 链路能力寄存器 17.1.6 链路控制寄存器 17.1.7 链路状态寄存器 17.1.8 插槽能力寄存器 17.1.9 插槽控制寄存器 17.1.10 插槽状态寄存器 17.1.11 根控制寄存器 17.1.12 根状态寄存器 17.2 PCI Express的扩展能力寄存器组 17.2.1 高级的错误报告能力寄存器组 17.2.2 虚通道能力寄存器组 17.2.3 设备序列号能力寄存器组 17.2.4 电源预算能力寄存器组 17.3 根复合体寄存器块附录A PCI Express插卡连接器的引脚附录B 分类码附录C 高级交换附录D 中英文名词索引参考文献

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>