

<<现代微机原理与接口技术>>

图书基本信息

书名：<<现代微机原理与接口技术>>

13位ISBN编号：9787121189326

10位ISBN编号：7121189321

出版时间：2012-12

出版时间：电子工业出版社

作者：杨全胜

页数：371

字数：668000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<现代微机原理与接口技术>>

内容概要

本书以IA-32/Intel 64系列的微机为平台，系统地阐述以Pentium系列、Core系列和SandyBridge处理器为代表的现代微型计算机的基本结构及其发展，IA-32/Intel 64微处理器的基本结构和发展，x86指令及汇编语言程序设计，I/O端口地址译码技术，总线技术，DMA技术，中断与异常处理，定时/计数技术，并行接口，串行接口，人机交互接口，IA-32微机系统编程技术。

本书内容丰富，既包含了典型的接口技术，也介绍了新型接口与总线技术；既讲述了接口的硬件部分，也强调了接口的软件编程。

全书涉及很多新的技术，如从Pentium到2代酷睿处理器微结构、PCI总线、PCI Express、USB、7系列芯片组、保护模式下的中断技术、BIOS编写、Windows 2000/XP下的设备驱动程序的编写等。

本书反映了现代微机技术发展的最新水平和趋势，并体现出微机接口技术中硬件设计和软件驱动的统一。

<<现代微机原理与接口技术>>

书籍目录

第1章 现代微机结构概述

1.1 微机系统的组成与性能指标

1.1.1 微机系统的组成

1.1.2 微机系统主要性能指标

1.1.3 Intel系列处理器发展概览

1.2 微机系统的工作过程

1.2.1 微机运算基础

1.2.2 微机系统的工作原理与工作过程

1.2.3 微机系统工作时序

1.3 现代微机系统组成结构

1.3.1 现代微机的基本结构

1.3.2 Intel 7系列PCH概述

1.3.3 现代微机基本结构发展特点

习题1

实践与研讨1

第2章 Intel IA-32/Intel 64处理器结构与原理

2.1 IA-32/Intel 64处理器新技术概览

2.1.1 基本概念

2.1.2 提高处理器指令级并行性的技术

2.1.3 提高处理器数据级并行性的技术

2.1.4 提高处理器线程级并行性的技术

2.1.5 Intel的虚拟化技术

2.1.6 其他技术

2.2 Pentium处理器

2.3 Core微结构的处理器

2.3.1 Core微结构概览

2.3.2 Core 2 Duo处理器内部结构

2.3.3 Core 2 Duo处理器使用的新技术

2.4 SandyBridge微结构的处理器

2.5 IA-32/Intel 64处理器基本执行环境

2.5.1 IA-32/Intel 64处理器工作模式

2.5.2 IA-32/Intel 64处理器中的寄存器

2.5.3 IA-32处理器在实地址模式下的存储管理

习题2

实践与研讨2

第3章 80x86汇编语言程序设计

3.1 寻址方式与指令格式

3.1.1 寻址方式

3.1.2 80x86的机器指令格式

3.1.3 数据类型

3.1.4 汇编语句的种类、格式和源程序结构

3.2 通用指令集

3.2.1 数据传送指令

3.2.2 算术运算指令

3.2.3 逻辑运算指令

<<现代微机原理与接口技术>>

3.2.4 移位指令

3.2.5 位与字节指令

3.2.6 控制转移指令

3.2.7 串操作指令

3.2.8 I/O指令

3.2.9 其他指令

3.3 80x86汇编语言程序设计

3.3.1 汇编伪指令

3.3.2 顺序结构程序设计

3.3.3 分支结构程序设计

3.3.4 循环结构程序设计

3.3.5 子程序设计

3.3.6 常用DOS功能调用

习题3

实践与研讨3

第4章 现代微机的存储系统

4.1 现代微机存储器系统概述

4.2 现代微机存储结构概述

4.2.1 IA-32/Intel64微机存储结构

4.2.2 IA-32/Intel64的内存组织

4.3 IA-32结构在保护模式下的存储管理

4.3.1 保护模式与特权级概述

4.3.2 保护模式下的段式存储管理

4.3.3 保护模式下的页式存储管理

4.3.4 段到页的映射

4.4 高速缓冲存储器Cache

4.4.1 Cache的工作原理与地址映像

4.4.2 IA-32的Cache结构

4.4.3 IA-32的缓存类型

4.4.4 IA-32的Cache一致性协议

习题4

实践与研讨4

第5章 输入/输出与接口技术

5.1 I/O接口概述

5.1.1 接口的概念和基本功能

5.1.2 I/O接口的组成

5.1.3 I/O数据传送方式

5.1.4 I/O编址方法

5.2 I/O端口地址译码方法

5.2.1 固定端口地址译码

5.2.2 可选式端口地址译码

5.3 IA-32系列微机I/O接口技术

习题5

实践与研讨5

第6章 微机总线标准

6.1 总线概述

6.2 PCI总线

<<现代微机原理与接口技术>>

6.2.1 PCI总线的特点

6.2.2 PCI信号定义

6.2.3 PCI总线命令

6.2.4 PCI总线协议

6.2.5 PCI总线数据传输过程

6.2.6 总线仲裁

6.2.7 PCI总线配置

6.3 通用串行总线USB

6.4 PCI Express总线

6.5 其他总线和接口

6.5.1 SCSI接口

6.5.2 高性能串行总线标准IEEE1394

6.5.3 SATA总线

6.5.4 CAN总线

习题6

实践与研讨6

第7章 中断与异常

7.1 概述

7.1.1 中断、异常及中断向量

7.1.2 中断源及中断类型

7.1.3 异常源及异常类型

7.2 8259A中断控制器

7.2.1 8259A的引脚和内部结构

7.2.2 8259A的工作方式

7.2.3 8259A的初始化与操作命令

7.2.4 8259A的中断响应周期

7.2.5 PCH中的8259A

7.3 现代微机中的中断处理

7.3.1 概述

7.3.2 实地址模式下的中断向量表和中断处理程序的编写

7.3.3 保护模式下的中断描述符表和中断与异常的处理

7.4 PCI中断

7.5 串行中断

7.6 高级可编程中断控制器

7.6.1 APIC系统的组成

7.6.2 本地APIC

7.6.3 PCH中的I/O APIC

7.6.4 本地中断源

7.6.5 APIC中断的处理

习题7

实践与研讨2

第8章 PCH中的常规接口

8.1 可编程定时/计数器8254

8.1.1 8254的内部结构和外部引脚

8.1.2 8254的工作方式

8.1.3 8254的控制字

8.1.4 8254的编程

<<现代微机原理与接口技术>>

8.1.5 PCH中的8254模块

8.2 DMA操作

8.2.1 DMA技术概述

8.2.2 82C37A的内部结构及内部寄存器

8.2.3 82C37A的软命令及工作时序

8.2.4 82C37A的初始化编程

8.2.5 PCH中的DMA控制器

8.3 实时钟电路及其应用

习题8

实践与研讨8

第9章 常用外设与通信接口

9.1 并行接口8255

9.1.1 8255的内部结构和外部引脚

9.1.2 8255的工作方式

9.1.3 8255的控制字与初始化编程

9.1.4 8255应用举例

9.2 串行接口

9.2.1 串行通信的基本概念

9.2.2 异步串行通信协议

9.2.3 RS-232C接口标准

9.2.4 INS8250与PC16550

9.2.5 串行通信程序编写

9.3 PC键盘接口

9.4 鼠标器接口

9.5 显示器与显示卡

9.5.1 CRT显示器及其主要性能参数

9.5.2 显示卡

9.5.3 液晶显示器 (LCD)

9.6 网络接口

9.6.1 调制解调器

9.6.2 宽带接入技术

9.6.3 PCH中的GbE控制器

习题9

实践与研讨9

第10章 IA-32/Intel 64微机的系统编程技术

10.1 处理器管理与初始化

10.2 任务管理

10.3 IA-32微机的BIOS

10.4 Windows驱动程序模型 (WDM) 简介

习题10

实践与研讨10

附录A x86汇编语言程序上机过程与调试方法

A.1 汇编语言程序上机过程

A.2 DEBUG主要命令

附录B ASCII码表

附录C x86BIOS功能调用列表

附录D PCI总线设备分类代码表

附录E 缩略语对照表
参考文献

<<现代微机原理与接口技术>>

章节摘录

版权页：插图：如果由于错误，完成者不能获得请求数据，则它返回一个没有数据的完成数据包（Cpl）和一个错误状态指示。

请求者在软件层确定如何处理错误。

（2）锁定请求的非报告读事务 要完成这一传送，请求者发送一个锁定存储器读请求（MRdLk）TLP。

请求者只能是根联合体，它将代表CPU发起一个锁定请求。

不允许端点发起锁定请求。

可以用TLP头中的信息向下路由锁定的存储器读请求TLP，使其通过交换结构，该数据包去往目标完成者，完成者只能是传统的端点。

从根联合体到端点的完整路径（映射到VC0的TC）被锁定，包括路径上交换器的入端口和出端口。

当完成者接收该数据包并解码其内容时，它从目标地址收集请求中指定的数据量。

完成者创建一个或多个带数据和完成状态的锁定完成TLP（CplDLk）。

完成数据包通过与原请求相同的路径和交换器层回送到根联合体。

CplDLk数据包中含有路由该数据包返回请求者所必须的路由信息。

请求者利用完成数据包中的一个标记字段将它与其早先发送的具有相同标记值的请求TLP关联起来。

如果由于错误，完成者不能获得请求的数据，则它返回一个没有数据的完成数据包（CplLk）和一个错误状况指示（在数据包内）。

通过CplLk TLP接收错误通知的请求者必须在软件层确定如何处理错误。

在请求者发送解除锁定性消息给完成者之前，从请求者到完成者的路径继续保持锁定。

解除锁定指对消息通过的路径及交换器的入端口 / 出端口解除锁定。

（3）非报告写事务 非报告写事务指要完成数据包传送，请求者发送一个非报告写请求TLP给它打算写入数据的完成者。

当完成者接收该请求数据包并解码其内容时，它接收数据。

完成者创建...个没有数据的完成包（Cpl），确认接受写请求。

完成数据包含有路由该数据包返回请求者所必须的路由信息。

在将这一完成数据包回送给请求者之前，该数据包将通过与请求数据包曾经通过的相同交换器层传播。

请求者得到确认通知，说明写请求已成功抵达完成者。

如果完成者不能成功地将请求中的数据写入最终的目的地址，或者写请求数据包到达完成者处时有错误，则它返回一个没有数据、但有一个错误状况指示的完成数据包（Cpl）。

通过Cpl，TLP接收错误通知请求者确定如何在软件层处理错误。

非报告写请求TLP包括I/O写请求（IOWr）和配置写请求类型0或类型1（CfgWr0、CfgWr1）TLP。

存储器写请求和消息请求是报告请求，请求者可以是根联合体或端点设备（尽管不适合于配置写请求）。

可以用该请求数据包头中的信息路由带数据的请求数据包通过交换器结构。

该数据包去往完成者。

（4）报告存储器写事务 报告存储器写请求事务指完成者不返回完成通知，而是通知请求者存储器写请求数据包已成功抵达其目的地。

由于在返回完成数据包方面没有浪费时间，因此其完成性能更高。

数据包头中的路由信息指示含有数据的写请求数据包通过交换器结构，该数据包去往完成者，完成者在数据包中接收指定量的数据，事务结束。

如果完成者接收的写请求错误或者由于内部原因，完成者不能将数据写入最后的目的地址，则无法通过硬件协议通知请求者，完成者可能记录错误并生成到根联合体的错误消息通知，由错误处理软件管理该错误。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>