

## <<EDA技术与应用>>

### 图书基本信息

书名：<<EDA技术与应用>>

13位ISBN编号：9787121104756

10位ISBN编号：712110475X

出版时间：2010-4

出版时间：电子工业

作者：江国强

页数：307

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## <<EDA技术与应用>>

### 内容概要

本书共7章，包括EDA技术概述、EDA工具软件的使用方法、VHDL、Verilog HDL、常用EDA工具软件、可编程逻辑器件和EDA技术的应用。另外，附录部分介绍伟福EDA6000和友晶DE2等EDA实验开发系统的使用方法，供具有不同实验设备的读者学习或参考。

EDA是当今世界上最先进的电子电路设计技术，其重要作用逐步被我国的产业界、科技界和教育界认可。

本书可作为高等院校工科电子类、通信信息类、自动化类专业“EDA技术”课程的教材，也可供相关专业的技术人员参考。

# <<EDA技术与应用>>

## 书籍目录

### 第1章 EDA技术概述

- 1.1 EDA技术及发展
- 1.2 EDA设计流程
- 1.3 硬件描述语言
- 1.4 可编程逻辑器件
- 1.5 常用EDA工具

本章小结

思考题和习题

### 第2章 EDA工具软件的使用方法

- 2.1 Quartus II软件的安装
- 2.2 Quartus II软件的主界面
- 2.3 Quartus II的图形编辑输入法
- 2.4 MAX+PLUS II设计工程的转换
- 2.5 Quartus II宏功能模块的使用方法
- 2.6 嵌入式逻辑分析仪的使用方法
- 2.7 嵌入式锁相环宏功能模块的使用方法
- 2.8 设计优化
- 2.9 Quartus II的RTL阅读器

本章小结

思考题和习题

### 第3章 VHDL

- 3.1 VHDL设计实体的基本结构
- 3.2 VHDL语言要素
- 3.3 VHDL的顺序语句
- 3.4 并行语句
- 3.5 VHDL的库和程序包
- 3.6 VHDL设计流程
- 3.7 VHDL仿真

本章小结

思考题和习题

### 第4章 Verilog HDL

- 4.1 Verilog HDL设计模块的基本结构
- 4.2 Verilog HDL的词法
- 4.3 Verilog HDL的语句
- 4.4 不同抽象级别的Verilog HDL模型
- 4.5 Verilog HDL设计流程
- 4.6 Verilog HDL仿真

本章小结

思考题和习题

### 第5章 常用EDA工具软件

- 5.1 ModelSim
- 5.2 基于Matlab/DSP Builder的DSP模块设计
- 5.3 Nios II嵌入式系统开发软件

本章小结

思考题和习题

## <<EDA技术与应用>>

### 第6章 可编程逻辑器件

#### 6.1 PLD的基本原理

#### 6.2 PLD的设计技术

#### 6.3 PLD的编程与配置

#### 本章小结

#### 思考题和习题

### 第7章 EDA技术的应用

#### 7.1 组合逻辑电路设计应用

#### 7.2 时序逻辑电路设计应用

#### 7.3 基于EDA的数字系统设计

#### 本章小结

#### 思考题和习题

### 附录A EDA6000实验开发系统

#### A.1 EDA6000的特点

#### A.2 EDA6000的使用方法

### 附录B Altera DE2开发板使用方法

#### B.1 Altera DE2开发板的结构

#### B.2 DE2开发板的实验模式与目标芯片的引脚连接

#### B.3 DE2开发板实验的操作

#### B.4 DE2开发板的控制嵌板

### 附录C Quartus II的宏函数和强函数

#### C.1 宏函数

#### C.2 强函数

### 参考文献

## 章节摘录

3.适配和分割在适配和分割过程,确定优化以后的逻辑能否与下载目标器件CPL, D或FPGA中的宏单元和I/O单元适配,然后将设计分割为多个便于适配的逻辑小块形式映射到器件相应的宏单元中。

如果整个设计不能装入一片器件时,可以将整个设计自动分割成多块并装入同一系列的多片器件中去。

分割工作可以全部自动实现,也可以部分由用户控制,还可以全部由用户控制。分割时应使所需器件数目和用于器件之间通信的引脚数目尽可能少。

4.布局 and 布线 布局 and 布线工作是在设计检验通过以后由软件自动完成的,它能以最优的方式对逻辑元件布局,并准确地实现元件间的布线互连。

布局 and 布线完成后,软件会自动生成布线报告,提供有关设计中各部分资源的使用情况等信息。

5.生成编程数据文件 设计处理的最后一步是产生可供器件编程使用的数据文件。对CPLD来说,是产生熔丝图文件,即JEDEC文件(电子器件工程联合会制定的标准格式,简称JED文件);对于FPGA来说,是生成位流数据文件(Bit-stream Generation,简称BG文件)。

1.2.4 设计校验 设计校验过程包括功能仿真和时序仿真,这两项工作是在设计处理过程中同时进行的。

功能仿真是在设计输入完成之后,选择具体器件进行编译之前进行的逻辑功能验证,因此又称为前仿真。

此时的仿真没有延时信息或者只有由系统添加的微小标准延时,这对于初步的功能检测非常方便。

仿真前,要先利用波形编辑器或硬件描述语言等建立波形文件或测试向量(即将所关心的输入信号组合成序列),仿真结果将会生成报告文件和输出信号波形,从中便可以观察到各个节点的信号变化。若发现错误,则返回设计输入中修改逻辑设计。

时序仿真是在选择了具体器件并完成布局、布线之后进行的时序关系仿真,因此又称为后仿真或延时仿真。

由于不同器件的内部延时不一样,不同的布局、布线方案也会给延时造成不同的影响,因此在设计处理以后,对系统和各模块进行时序仿真,分析其时序关系,估计设计的性能及检查和消除竞争冒险等,是非常有必要的。

.....

<<EDA技术与应用>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>