

<<Xilinx可编程逻辑器件应用与系统>>

图书基本信息

书名：<<Xilinx可编程逻辑器件应用与系统设计>>

13位ISBN编号：9787121070082

10位ISBN编号：7121070081

出版时间：2008-7

出版时间：电子工业出版社

作者：孙航 等编著

页数：492

字数：813000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Xilinx可编程逻辑器件应用与系统>>

内容概要

本书以Xilinx公司的产品为蓝本，全面系统地介绍了最新可编程逻辑器件Virtex-5/vinex.4、Spartan-3E/3A/3ADSP、CoolRunner- 等的结构原理、性能特点与设计方法，详细介绍了ISE 10.x集成化设计工具的特点和使用方法，重点介绍了FPGA/CPLD在数字系统设计、嵌入式处理器设计、高速串行数据通信等方面的应用，同时，还对高速电路设计与信号完整性问题进行了深入探讨。

本书既是从事消费类电子产品设计、通信系统设计、嵌入式处理器系统设计及控制设备开发设计人员不可或缺的、针对性非常强的技术书籍，又可作为逻辑和专用集成电路设计相关专业高年级本科及研究生教学参考书。

书籍目录

第一部分 ISE10.X平台级设计工具 第1章 ISE 10.x设计工具简介和使用 1.1 概述 1.2 设计流程 1.3 使用ISE 10.x软件 1.3.1 概述 1.3.2 工程创建和实现 1.3.3 EDIF设计输入 1.3.4 设计工具小结 1.4 Xilinx综合技术XST 1.4.1 XST综述 1.4.2 设置XST属性 1.5 ISE工具的实现策略 1.5.1 综述 1.5.2 Implement属性 1.6 配置工具iMPACT 1.6.1 使用iMPACT生成PROM文件 1.6.2 使用iMPACT下载配置文件 1.7 本章小结 第2章 ISE 10.x的辅助工具 2.1 概述 2.2 结构化设计向导和IP核生成工具 2.2.1 在ISE 10.x工具中使用Core Generator 2.2.2 用Core Generator工具建立一个新的工程 2.2.3 Core Generator工具中的存储器编辑器 2.3 布局规划器 2.3.1 布局规划器概述 2.3.2 布局规划器的功能和应用 2.3.3 使用布局规划器 2.4 FPGA底层编辑器 2.4.1 FPGA底层编辑器概述 2.4.2 使用FPGA底层编辑器 2.5 集成化逻辑分析工具 2.5.1 集成化逻辑分析工具简介 2.5.2 集成化逻辑分析工具的组成和设计流程 2.5.3 使用ChipScope Pro 2.6 XPower功耗分析工具 2.6.1 XPower概述 2.6.2 使用XPower 2.7 引脚和区域约束编辑器 2.7.1 使用PACE工具 2.7.2 PACE的SSO分析和DRC功能 2.7.3 PACE时序分析功能 2.8 本章小结 第3章 工具命令行语言(Tcl) 3.1 Tcl工具语言和ISE开发工具中的Tcl功能 3.2 ISE中的Tcl功能 3.2.1 从图形界面方式转换到Tcl命令行方式 3.2.2 利用ISE中的Tcl功能控制版本 3.2.3 ISEIO.1提供的其他Tcl命令 3.3 本章小结 第4章 约束设计与时序分析 4.1 概述 4.2 时序约束和分析 4.2.1 周期约束 4.2.2 输入偏移约束 4.2.3 输出偏移约束 4.2.4 特定约束FROM TO 4.2.5 分组约束 4.3 约束编辑器 4.4 时序分析器 4.4.1 时序分析器的用户界面 4.4.2 使用时序分析器 4.5 本章小结 第5章 可编程逻辑器件的高级设计 5.1 概述 5.2 智能化编译技术 5.2.1 Partition技术 5.2.2 SmartGuide技术 5.3 时序收敛技术Xplorer 5.3.1 Xplorer 5.3.2 在ISE工具中使用Xplorer 5.3.3 SmartXplorer 技术 5.4 本章小结 第6章 嵌入式设计工具EDK 6.1 EDK简介 6.2 创建新项目 6.3 XPS工具 6.4 硬件平台 6.5 自定义IP核 6.6 软件平台与SDK 6.7 实现并下载设计 6.8 调试设计 6.9 EDK嵌入式系统设计范例 6.9.1 使用BSB创建一个初始的设计 6.9.2 在XPS中完成设计 6.9.3 在设计中添加Chipscope ILA逻辑分析仪内核 6.9.4 验证设计 6.9.5 XMD 6.9.6 下载程序及源代码级调试 6.9.7 调试源代码 6.9.8 关于SDK 6.9.9 使用ChipScope协同调试 6.10 本章小结 第7章 Xilinx存储器控制器接口技术 7.1 概述 7.2 使用MIG 7.3 MIG工具的调试功能 7.4 本章小结 第二部分 Virtex高性能平台级可编程逻辑器件体系架构和应用 第8章 Virtex-5系列器件架构及描述 8.1 概述 8.2 Virtex-5系列器件架构和特性 8.2.1 Virtex-5系列器件特性 8.2.2 Virtex-5系列器件逻辑架构 8.2.3 乘法器模块DSP48E简介 8.2.4 高速收发器模块RodketIO GTP简介 8.2.5 Virtex-5器件的时钟资源 8.2.6 Virtex-5器件的时钟管理器模块CMT 8.2.7 Virtex-5 I/O模块 8.3 本章小结 第9章 Virtex-4系列器件架构及描述 9.1 概述 9.2 Virtex-4系列器件架构和特性 9.2.1 Virtex-4系列概述 9.2.2 Virtex-4的逻辑架构 9.3 本章小结 第三部分 采用Xilinx可编程逻辑器件的系统级设计 第10章 Xilinx可编程逻辑器件设计技巧 10.1 概述 10.2 时钟设计 10.2.1 时钟设计概述 10.2.2 片内时钟的设计 10.2.3 系统时钟的设计 10.3 复位设计 10.3.1 同步复位及异步复位 10.3.2 全局复位及局部复位 10.4 同步设计与提高器件的工作速度 10.4.1 同步设计 10.4.2 提高器件工作的速度 10.5 FIFO设计 10.6 应用SRLC 16 10.7 状态机设计 10.8 可编程逻辑器件FPGA的配置 10.8.1 FPGA器件配置模式 10.8.2 FPGA器件配置流程 10.8.3 配置FPGA器件时的常见问题 10.9 可编程逻辑器件的电源、接地及去耦网络设计 10.9.1 电源设计的重要性 10.9.2 几种典型的电源电路 10.9.3 去耦(旁路)电容设计 10.9.4 接地设计 10.10 本章小结 第11章 Xtreme DSP设计 11.1 概述 11.1.1 FPGA高性能数字信号处理能力的来源 11.1.2 Xilinx的数字信号处理解决方案 11.2 Virtex 5 DSP单元功能描述及应用 11.2.1 DSP48E功能描述 11.2.2 应用DSP48E 11.3 Span-3-ADSP DSP48A单元功能描述及应用 11.3.1 DSP48A操作简介 11.3.2 应用DSP48A预加器 11.4 本章小结 第12章 高速电路设计和信号完整性分析 12.1 信号完整性的提出 12.2 传输线对信号质量的影响 12.2.1 传输线 12.2.2 信号的边沿速率 12.2.3 同步切换噪声和地线反弹 12.2.4 串扰 12.2.5 反射、振铃和环绕振荡 12.2.6 正确认识信号完整性问题 12.3 高速电路设计和端接技术 12.3.1 阻抗匹配原理 12.3.2 典型的传输线端接方案 12.3.3 Xilinx器件的阻抗匹配和信号完整性方案 12.3.4 阻抗端接技术的仿真分析 12.4 本章小结 第13章 高速数据通信接口和设计技巧 13.1 概述 13.2 SPI 13.2.1 SPI原理 13.2.2 SPI应用及设计技巧 13.3.3 SFI 13.3.1 SFI原理 13.3.2 SFI应用及设计技巧 13.4 ChipSync源同步技术 13.4.1 源同步技术原理 13.4.2 源同步技术应用

13.5 LVDS原理及应用 13.6 本章小结第四部分 低成本高性能的Spartan-3系列器件和应用 第14章 Spartan-3、Spartan-3E及Spartan-3A/AN系列器件架构及描述 14.1 概述 14.2 Spartan-3系列FPGA 14.3 Spartan-3E系列FPGA 14.4 Spartan-3A/AN系列FPGA 14.5 Spartan-3器件结构描述 14.6 本章小结 第15章 PicoBlaze 8位嵌入式微控制器 15.1 概述 15.2 PicoBlaze的逻辑结构 15.2.1 通用处理器的基本结构 15.2.2 PicoBlaze处理器的基本结构 15.2.3 PicoBlaze处理器的指令系统 15.3 PicoBlaze设计流程 15.3.1 设计PicoBlaze处理器 15.3.2 PicoBlaze处理器设计流程 15.4 重新定制PicoBlaze处理器和设计范例 15.4.1 定制新的PicoBlaze处理器 15.4.2 CoolBlaze处理器设计范例 15.5 本章小结 第16章 面向低成本和消费类应用的完美器件——spartan 3系列 16.1 概述 16.2 利用Sparran-3系列产品实现安全的解决方案 16.2.1 使用Spartan FPGA实现灵活的低成本安全解决方案 16.2.2 Device DNA操作 16.2.3 采用Device DNA在Spartan-3A FPGA中保证实现安全 16.2.4 采用Device DNA和Flash存储器ID保证安全 16.2.5 Spartan-3A/3AN/3A DSP FPGA应用中的高级安全机制 16.2.6 总论 16.2.7 基于Spartan-3A Starter Kit设计范例 16.3 Spartan-3A实现Multi-Bootload多引导设计 16.3.1 多引导的关键模块ICAP 16.3.2 多引导设计范例 16.4 本章小结第五部分 CoolRunner- CPLD器件特性和应用 第17章 CoolRunner- 系列器件架构及其描述 17.1 概述 17.2 CoolRunner- 器件的逻辑结构 17.2.1 功能模块 17.2.2 高级内部互连矩阵 17.2.3 输入/输出模块 17.2.4 时钟分频器模块 17.3 CoolRunner- 器件的时序模型 17.3.1 时序模型描述 17.3.2 时序模型设计范例 17.4 CoolRunner- 器件的设计和使用 17.4.1 使用双沿触发寄存器 17.4.2 使用时钟分频器 17.4.3 使用频率合成 17.4.4 应用门控功能 17.4.5 使用施密特触发器 17.4.6 应用输入/输出标准 17.4.7 设置输入/输出引脚为参考电源的输入引脚 17.5 本章小结 第18章 利用CoolRunner- 器件的高级特性降低产品的成本 18.1 概述 18.2 采用CoolRunner- 实现IrDA和UART设计 18.2.1 功能描述 18.2.2 IrDA和UART设计 18.2.3 IrDA和UAI盯接口 18.2.4 设计范例的实现 18.3 采用CoolRunner- 实现串行ADC接口 18.3.1 功能描述 18.3.2 设计范例和实现 18.4 CoolRunner- 器件实现无线收发器 18.4.1 功能描述 18.4.2 发送器模块设计 18.4.3 接收器模块设计 18.4.4 设计范例和实现 18.5 采用CoolRunner- 实现Smart Card读卡器 18.5.1 功能描述 18.5.2 ISO 7816 Smart Card标准 18.5.3 设计范例及其实现 18.6 采用CoolRunner- 实现I2C总线控制器 18.6.1 功能描述 18.6.2 I2C接口协议 18.6.3 I2C总线逻辑 18.6.4 微处理器接口逻辑 18.6.5 工作流程 18.6.6 设计范例及其实现 18.7 使用CoolRunner- 器件实现SPI主控制器 18.7.1 功能描述 18.7.2 SPI主控制器的实现 18.7.3 SPI和微处理器接口 18.7.4 设计范例和实现 18.8 键盘扫描控制器 18.8.1 功能描述 18.8.2 设计范例和实现 18.9 NAND Flash存储器接口控制器 18.9.1 功能描述 18.9.2 设计范例和实现 18.10 采用CoolRunner- 实现低功耗IDE控制器 18.10.1 功能描述 18.10.2 IDE总线接口和协议 18.10.3 设计范例和实现 18.11 多SD卡接口的实现 18.11.1 功能描述 18.11.2 设计范例和实现 18.12 本章小结

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>