

<<超大规模集成电路测试>>

图书基本信息

书名：<<超大规模集成电路测试>>

13位ISBN编号：9787121063077

10位ISBN编号：7121063077

出版时间：2008-5

出版时间：电子工业出版社

作者：雷绍充，邵志标，梁峰 编著

页数：319

字数：479000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<超大规模集成电路测试>>

内容概要

VLSI测试与可测性设计方法学已臻成熟，诸多理论和方法也为设计和制造界广泛接受，亦成为EDA工具的基本特征。

本书系统化编撰迄今为止主流的方法学与结构，为读者进行更深层次的电路设计、模拟、测试和分析打下良好的基础，也为电路(包括电路级、芯片级和系统级)的设计、制造、测试和应用之间建立一个相互交流的平台。

本书主要内容包括电路测试基础，验证、模拟和仿真，自动测试生成，专用可测性设计，扫描设计，边界扫描法，随机测试和伪随机测试，内建自测试，电流测试，存储器测试，SoC测试。

本书既可作为高等院校高年级学生和研究生专业课教材，也可作为从事集成电路设计、制造、测试、应用EDA和ATE专业人员的参考用书。

<<超大规模集成电路测试>>

书籍目录

第1章 概述 1.1 研究意义 1.2 章节安排 1.3 基本概念 本章小结 习题 参考文献第2章 电路测试基础
 2.1 验证、模拟和测试 2.1.1 验证 2.1.2 生产测试 2.1.3 可测性设计 2.1.4 仿真 2.1.5 验证与生产测试之比较 2.2 故障及故障检测 2.2.1 故障检测的基本原理 2.2.2 测试图形生成 2.3 缺陷、失效和故障
 2.3.1 物理缺陷 2.3.2 失效方式 2.3.3 故障 2.3.4 故障、失效和缺陷的关系 2.4 经典故障模型 2.4.1
 SSA故障 2.4.2 MSA故障 2.5 故障的等效、支配和故障冗余 2.5.1 故障表 2.5.2 故障等效 2.5.3 故障
 支配 2.5.4 故障表简化 2.5.5 检查点 2.5.6 故障冗余 2.6 晶体管级故障模型 2.6.1 桥接故障 2.6.2
 NMOS电路的短路与开路故障 2.6.3 CMOS电路开路故障 2.6.4 CMOS电路的恒定通与短路故障 2.7
 其他类型故障模型 2.7.1 延迟故障 2.7.2 暂时失效 本章小结 习题 参考文献第3章 验证、模拟和仿真
 3.1 验证与模拟 3.1.1 模拟的概念 3.1.2 验证与模拟的方法 3.1.3 验证方法 3.2 基于Testbench的验证
 3.2.1 Testbench格式 3.2.2 Testbench开发语言和工具 3.2.3 Testbench举例 3.3 逻辑模拟 3.3.1 编译模
 拟 3.3.2 事件驱动模拟 3.3.3 延迟模型 3.4 故障模拟 3.4.1 并行故障模拟 3.4.2 演绎故障模拟 3.4.3
 并发性故障模拟 3.4.4 故障模型结果分析 3.5 仿真 3.5.1 基于阵列处理器的仿真 3.5.2 基于FPGA的
 仿真 3.6 基于ATPG工具的故障模拟 3.6.1 实验工具和目的 3.6.2 Tetramax的故障模拟流程 3.6.3 脚
 本文件举例 3.6.4 练习1——故障模拟 3.6.5 练习2——ATPG工具参数设置 本章小结 习题 参考文献
 第4章 自动测试生成 4.1 简介 4.2 代数法 4.2.1 异或法 4.2.2 布尔差分法 4.3 路径敏化法 4.3.1 确定
 性算法的基本过程 4.3.2 路径敏化法举例 4.4 D算法 4.4.1 D算法关键术语 4.4.2 D算法举例 4.5
 PODEM算法 4.5.1 PODEM算法思路 4.5.2 PODEM算法流程 4.6 自动识别法 4.6.1 时序电路的检查
 序列 4.6.2 自动识别法的步骤和举例 4.7 时序电路的确定性测试生成 4.7.1 功能模型 4.7.2 测试生成
 模型 4.7.3 扩展的向后追踪算法 4.7.4 扩展的向后追踪算法举例 4.8 其他ATPG方法 4.8.1 FAN算法
 4.8.2 SoCRATES算法 4.8.3 FASTEST算法 4.8.4 CONTEST算法 本章小结 习题 参考文献第5章 专用
 可测性设计 5.1 可测性分析 5.1.1 可控性值 5.1.2 可观性值 5.1.3 SCOAP算法描述 5.1.4 可测性度
 量的应用 5.2 可测性的改善方法 5.2.1 插入测试点 5.2.2 电路分块 5.2.3 电路分块方法举例 5.3 测试
 图形简化 5.3.1 测试图形简化规律 5.3.2 测试图形简化规律应用 5.4 容易测试的电路 5.4.1 部分积乘
 法器的C可测性 5.4.2 变长测试 5.5 组合电路的可测性设计 5.5.1 用Reed-Muller模式设计组合电路
 5.5.2 异或门插入法 5.5.3 组合电路的其他可测性设计方法 5.6 时序电路可测性设计中的问题 5.6.1
 时序电路的初始化设计问题 5.6.2 时间延迟效应的最小化 5.6.3 逻辑冗余问题 5.6.4 避免设计中非法
 状态 5.6.5 增加逻辑以控制振荡 本章小结 习题 参考文献第6章 扫描设计 6.1 扫描路径设计 6.1.1 基
 本的扫描路径设计 6.1.2 部分扫描设计 6.1.3 隔离的串行扫描设计 6.1.4 非串行的扫描设计 6.2 扫描
 路径的测试方法 6.2.1 组合电路部分的测试生成 6.2.2 扫描触发器的测试图形 6.2.3 测试施加 6.2.4
 扫描路径测试举例 6.3 扫描单元的设计 6.3.1 D锁存器 6.3.2 双端口扫描单元 6.3.3 电平敏感锁存器
 6.3.4 电平敏感扫描设计 6.3.5 随机编址的扫描单元 6.4 基于EDA工具的扫描综合[4~6] 6.4.1 扫描
 综合流程 6.4.2 扫描综合主要步骤 6.4.3 扫描综合脚本文件举例 6.5 测试综合后的自动测试生成
 6.5.1 DFT工具与ATPG工具的接口 6.5.2 ATPG脚本文件 6.5.3 STIL格式测试图形文件 6.6 扫描路径设
 计成本分析 6.6.1 I/O和性能开销 6.6.2 门和面积开销 6.6.3 测试时间 6.6.4 延迟和功耗 本章小结
 习题 参考文献第7章 边界扫描法 7.1 边界扫描法的基本结构 7.2 测试存取通道及控制 7.2.1 测试存取
 通道的信号 7.2.2 TAP控制器 7.2.3 TAP控制器的操作 7.3 寄存器及指令 7.3.1 指令寄存器 7.3.2 测
 试数据寄存器 7.3.3 指令 7.4 操作方式 7.4.1 正常操作 7.4.2 测试方式操作 7.4.3 测试边界扫描寄存
 器 7.5 边界扫描描述语言 7.5.1 主体 7.5.2 BSDL描述器件举例 本章小结 习题 参考文献第8章 随机
 测试和伪随机测试 8.1 随机测试 8.1.1 随机测试的概念 8.1.2 故障检测率的估算 8.1.3 测试图形长度
 的计算 8.1.4 输入变量的优化 8.2 伪随机序列 8.2.1 同余伪随机序列 8.2.2 反馈移位寄存器和异或门
 构成的伪随机序列生成电路 8.3 LFSR的数学基础 8.3.1 根据本原多项式优化伪随机序列发生电路
 8.3.2 LFSR的运算 8.3.3 M序列的特性 8.4 基本的伪随机测试序列生成电路 8.4.1 外接型PRSG 8.4.2
 内接型PRSG 8.4.3 混合连接型PRSG 8.5 其他类型伪随机序列生成方法 8.5.1 与M序列相关的序列的
 生成方法 8.5.2 加权伪随机序列 8.5.3 细胞自动机 8.6 低功耗测试序列 本章小结 习题 参考文献第9
 章 内建自测试 9.1 内建自测试的概念 9.1.1 内建自测试简介 9.1.2 内建自测试的结构 9.1.3 内建自

<<超大规模集成电路测试>>

测试的测试生成 9.2 响应数据压缩 9.2.1 奇偶测试 9.2.2 “1”计数 9.2.3 跳变次数压缩 9.3 特征分析法 9.3.1 特征分析原理 9.3.2 串行输入特征寄存器 9.3.3 多输入的特征分析 9.4 内建自测试的结构 9.4.1 内建自测试 9.4.2 自动测试 9.4.3 循环内建自测试 9.4.4 内建逻辑块观测器 9.4.5 随机测试组合块 9.4.6 STUMPS 本章小结 习题 参考文献第10章 电流测试 10.1 IDDQ测试机理 10.1.1 基本概念 10.1.2 无故障电路的电流分析 10.1.3 转换延迟 10.2 IDDQ检测的缺陷及故障模型 10.2.1 桥接 10.2.2 栅氧 10.2.3 开路故障 10.2.4 泄漏故障 10.2.5 延迟故障 10.3 测试图形生成 10.3.1 基于电路级模型的测试图形生成 10.3.2 基于泄漏故障模型的测试图形生成 10.4 IDDQ测试方法 10.4.1 片外测试 10.4.2 片内测试 10.5 IDDQ测试的改进 10.5.1 控制截止电流的措施 10.5.2 ?IDDQ 本章小结 习题 参考文献第11章 存储器测试 11.1 测试类型和模型 11.1.1 性能测试和参数测试 11.1.2 特征测试 11.1.3 功能测试 11.1.4 电流测试 11.1.5 功能模型 11.1.6 存储单元的表达方法 11.2 缺陷和故障模型 11.2.1 缺陷 11.2.2 阵列故障模型 11.2.3 周边逻辑 11.3 存储器测试算法 11.3.1 MSCAN算法 11.3.2 GALPAT算法 11.3.3 算法型测试序列 11.3.4 Checkerboard测试 11.3.5 Marching图形序列 11.3.6 March测试的表达方法 11.3.7 各种存储器测试算法的分析 11.4 存储器测试方法 11.4.1 存储器直接存取测试 11.4.2 存储器内建自测试 11.4.3 宏测试 11.4.4 各种存储器测试方法比较 11.5 存储器的冗余和修复 本章小结 习题 参考文献第12章 SoC测试 12.1 SoC测试的基本问题 12.1.1 SoC核的分类 12.1.2 SoC测试问题 12.1.3 存取、控制和隔离 12.2 概念性的SoC测试结构 12.2.1 测试源和测试收集 12.2.2 测试存取机构 12.2.3 测试壳 12.3 测试策略 12.3.1 核的非边界扫描测试 12.3.2 核的边界扫描测试策略 12.4 IEEE P1500标准 12.5 SoC测试再探索 参考文献

<<超大规模集成电路测试>>

章节摘录

第1章 概述 1.1 研究意义 随着集成电路复杂程度的不断提高和尺寸的日益缩小，测试已成为迫切需要解决的问题，特别是进入深亚微米以及超高集成度发展阶段以来，通过集成各种IP核，系统级芯片SoC (System—on—Chip) 的功能更加强大，但也带来了一系列设计和测试的问题。例如，来自计算机、RF器件、消费电子产品和因特网基础设施市场的需求，迫使集成电路厂家必须提供完整的方案，同时解决测试系统在性能和测试效率方面的问题。

VLSI测试的定义为“ A manufacturing step that ensures that the physical device , manufactured from the synthesized design.

has no manufacturing defect ”。

要保证产品无缺陷，不仅涉及测试技术、测试装置，还涉及到电路和系统的设计、模拟和验证、制造等多个过程，其复杂性和难点可归结为以下几点： (1) 速度、功能和性能更高的电路与系统要求与之匹配的自动测试设备ATE (Automatic Test Equipment) ，导致测试设备投资成本提高，测试成本随之提高。

测试成为VLSI设计、测试和制造环节中费用和难度最大的一个环节。

按照 ITRS (International Fechnology Roadmap for Semiconductors) 的研究，到2014年晶体管的测试成本要大于其制造成本。

测试成本增加的因素主要归于两个：测试设备投资的提高和器件平均测试时间的增大。

(2) 电路与系统的速度、性能和复杂程度的日益提高，导致测试数据量随之剧增，测试时间越来越长，因而测试成本随之剧增。

为了适应测试技术发展的需求，生产ATE的各公司不断推出性能更高的测试设备，例如，惠瑞捷 (Verigy) 公司推出Agilent 93000系列测试仪，泰瑞达 (Teradyne) 推出Tiger系列测试仪，二者的每个测试引脚均配置处理器，可按需要灵活设置测试激励信号，以适应SoC测试的需要，但芯片的 I/O数目有限，自动测试设备的通道量、吞吐能力和速度也有限，使得测试难度和复杂程度大大加剧。测试时间成为SoC设计要考虑的重要因素。

<<超大规模集成电路测试>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>