

<<FPGA权威指南>>

图书基本信息

书名：<<FPGA权威指南>>

13位ISBN编号：9787115267412

10位ISBN编号：7115267413

出版时间：2012-1

出版时间：人民邮电出版社

作者：马克斯菲尔德

页数：320

译者：杜生海

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<FPGA权威指南>>

内容概要

本书是目前最实用的FPGA类图书的精华集粹，全书共12章，内容涵盖FPGA设计基础知识以及FPGA设计全流程。

《FPGA权威指南》重点突出，实用性强，所列实例均经过验证。

本书适合电子工程师阅读，也可作为高等院校相关专业师生的参考指南。

<<FPGA权威指南>>

作者简介

作者：(英国)马克斯菲尔德 (Clive “ Max ” Maxfield) 译者：杜生海马克斯菲尔德(Clive “ Max ” Maxfield)，国际半导体设计界知名专家，Tech Bites公司总裁，EE Times杂志Programmable Logic Designline栏目主编。

他拥有英国谢菲尔德哈莱姆大学控制工程学学士学位，设计过从ASIC到PCB等多种产品，并钻研了电子设计自动化(EDA)的大多数领域。

Max喜欢技术写作，擅长用通俗易懂的语言阐述复杂的技术概念，在世界各地的杂志和会刊上发表了許多技术文章和论文，此外，他还创作或与人合著了一些书籍，包括EDA: Where Electronics Begins和The Design Warrior's Guide to FPGAs。

<<FPGA权威指南>>

书籍目录

目 录

- 第1章 FPGA结构比较
 - 1.1 一点提醒
 - 1.2 一些背景信息
 - 1.3 反熔丝、SRAM与其他
 - 1.3.1 基于SRAM的器件
 - 1.3.2 基于SRAM器件的安全问题和解决方案
 - 1.3.3 基于反熔丝的器件
 - 1.3.4 基于EPROM的器件
 - 1.3.5 基于E2PROM/FLASH的器件
 - 1.3.6 FLASH-SRAM混合器件
 - 1.3.7 小结
 - 1.4 细粒度、中等粒度和粗粒度体系结构
 - 1.5 基于MUX与基于LUT的逻辑块
 - 1.5.1 基于MUX的体系结构
 - 1.5.2 基于LUT的体系结构
 - 1.5.3 基于MUX还是基于LUT
 - 1.5.4 3、4、5或6输入LUT
 - 1.5.5 LUT、分布式RAM与移位寄存器
 - 1.6 CLB、LAB与slice
 - 1.6.1 Xilinx逻辑单元
 - 1.6.2 Altera逻辑部件
 - 1.6.3 slicing和dicing
 - 1.6.4 CLB和LAB
 - 1.6.5 分布式RAM和移位寄存器
 - 1.7 快速进位链
 - 1.8 嵌入式RAM
 - 1.9 嵌入式乘法器、加法器和MAC等
 - 1.10 嵌入式处理器核(硬核与软核)
 - 1.10.1 微处理器硬核
 - 1.10.2 微处理器软核
 - 1.11 时钟树和时间管理器
 - 1.11.1 时钟树
 - 1.11.2 时钟管理器
 - 1.12 通用I/O
 - 1.12.1 可配置I/O标准
 - 1.12.2 可配置I/O阻抗
 - 1.12.3 核电压与I/O电压
 - 1.13 吉比特收发器
 - 1.14 IP硬核、IP软核与IP固核
 - 1.15 系统门与实际门
 - 1.16 FPGA年龄
- 第2章 设计技巧、原则与指导
 - 2.1 硬件描述语言
 - 2.2 自顶向下设计

<<FPGA权威指南>>

- 2.2.1 使用HDL
 - 2.2.2 书面设计规范
 - 2.2.3 分配资源
 - 2.2.4 设计划分
 - 2.2.5 设计灵活性与优化
 - 2.2.6 可重用性
 - 2.2.7 布局规划
 - 2.2.8 验证
 - 2.2.9 了解体系结构
 - 2.3 同步设计
 - 2.3.1 同步设计五原则
 - 2.3.2 竞争条件
 - 2.3.3 延迟相关逻辑
 - 2.3.4 保持时间违例
 - 2.3.5 毛刺
 - 2.3.6 门控时钟
 - 2.3.7 异步信号与亚稳态
 - 2.3.8 允许使用异步逻辑的情况
 - 2.4 浮动节点
 - 2.5 总线竞争
 - 2.6 独热状态编码
 - 2.7 可测性设计
 - 2.8 测试冗余逻辑
 - 2.8.1 什么是冗余逻辑
 - 2.8.2 怎样测试冗余逻辑
 - 2.9 初始化状态机
 - 2.10 可观测节点
 - 2.11 扫描技术
 - 2.12 内建自测试
 - 2.13 特征分析
 - 2.14 小结
- 第3章 VHDL基础
- 3.1 引言
 - 3.2 实体：模型接口
 - 3.2.1 实体定义
 - 3.2.2 端口
 - 3.2.3 通用属性语句
 - 3.2.4 常数
 - 3.2.5 实体举例
 - 3.3 构造体：模型行为
 - 3.3.1 构造体的基本定义
 - 3.3.2 构造体声明
 - 3.3.3 构造体语句
 - 3.4 进程：VHDL中的基本功能单元
 - 3.5 基本变量类型和操作符
 - 3.5.1 常数
 - 3.5.2 信号

<<FPGA权威指南>>

- 3.5.3 变量
- 3.5.4 布尔操作符
- 3.5.5 算术操作符
- 3.5.6 比较操作符
- 3.5.7 移位函数
- 3.5.8 拼接
- 3.6 判断与循环
 - 3.6.1 if-then-else语句
 - 3.6.2 case语句
 - 3.6.3 for语句
 - 3.6.4 while循环
 - 3.6.5 exit语句
 - 3.6.6 next语句
- 3.7 层次化设计
 - 3.7.1 函数
 - 3.7.2 包
 - 3.7.3 元件
 - 3.7.4 过程
- 3.8 调试模型
- 3.9 基本数据类型
 - 3.9.1 基本类型
 - 3.9.2 数据类型: bit
 - 3.9.3 数据类型: Boolean
 - 3.9.4 数据类型: 整数
 - 3.9.5 数据类型: 字符型
 - 3.9.6 数据类型: 实数
 - 3.9.7 数据类型: 时间
- 3.10 小结
- 第4章 存储器建模
 - 4.1 存储器阵列
 - 4.1.1 Shelor方法
 - 4.1.2 VITAL_Memory包
 - 4.2 存储器功能建模
 - 4.2.1 使用行为模型方法
 - 4.2.2 使用VITAL2000方法
 - 4.3 VITAL_Memory路径延迟
 - 4.4 VITAL_Memory时序约束
 - 4.5 预加载存储器
 - 4.5.1 行为存储器预加载
 - 4.5.2 VITAL_Memory预加载
 - 4.6 其他类型存储器的建模
 - 4.6.1 同步静态RAM
 - 4.6.2 DRAM
 - 4.6.3 SDRAM
 - 4.7 小结
- 第5章 同步状态机设计与分析
 - 5.1 引言

<<FPGA权威指南>>

- 5.2 时序状态机模型
 - 5.3 全记录状态图
 - 5.4 基本记忆单元
 - 5.4.1 置位优先基本单元
 - 5.4.2 复位优先基本单元
 - 5.4.3 激励表组合形式
 - 5.4.4 基本单元的混合输出
 - 5.4.5 基本单元的混合输出响应
 - 5.5 触发器简介
 - 5.5.1 触发机制
 - 5.5.2 触发器类型
 - 5.5.3 触发器设计的层次化流程图和模型
 - 5.6 FSM(触发器)设计步骤及映射算法
 - 5.7 D触发器：通用型
 - 5.7.1 D锁存器
 - 5.7.2 上升沿触发D触发器
 - 5.7.3 主从式D触发器
 - 5.8 触发器的转换：T、JK触发器以及其他触发器
 - 5.8.1 T触发器及其从D触发器的转换方法
 - 5.8.2 JK触发器及其从D触发器转换的方法
 - 5.8.3 用JK触发器设计T触发器和D触发器
 - 5.8.4 激励表回顾
 - 5.8.5 专用触发器和锁存器的设计
 - 5.9 锁存器和触发器中的严重时序问题：警告
 - 5.10 异步预置位和复位
 - 5.11 触发器的建立时间和保持时间要求
 - 5.12 使用边缘触发器设计简单的同步状态机：映射转换
 - 5.12.1 三比特二进制加减计数器设计：D到T的卡诺图转换
 - 5.12.2 序列检测器的设计：D到JK卡诺图的转换
 - 5.13 简单状态机分析
 - 5.14 简单状态机的VHDL描述
 - 5.14.1 上升沿D触发器的VHDL行为级描述
 - 5.14.2 简单状态机的VHDL行为级描述
 - 参考文献
- 第6章 嵌入式处理器
- 6.1 引言
 - 6.2 简单的嵌入式处理器
 - 6.2.1 嵌入式处理器体系结构
 - 6.2.2 基本指令
 - 6.2.3 取指执行周期
 - 6.2.4 嵌入式处理器的寄存器分配
 - 6.2.5 基本指令集
 - 6.2.6 结构级还是行为级
 - 6.2.7 机器码指令集
 - 6.2.8 微处理器的结构单元
 - 6.2.9 处理器函数包
 - 6.2.10 程序计数器

<<FPGA权威指南>>

- 6.2.11 指令寄存器
- 6.2.12 算术逻辑单元
- 6.2.13 存储器
- 6.2.14 微控制器
- 6.2.15 简单微处理器总结
- 6.3 FPGA中的软核处理器
- 6.4 小结
- 第7章 数字信号处理
 - 7.1 概述
 - 7.2 基本DSP系统
 - 7.3 基本DSP术语
 - 7.4 DSP体系结构
 - 7.5 DSP元件中的并行执行
 - 7.6 FPGA中的并行执行
 - 7.7 何时使用FPGA实现DSP功能
 - 7.8 FPGA的DSP设计考虑
 - 7.8.1 时钟与信号的布线
 - 7.8.2 流水线
 - 7.8.3 算法实现的选择
 - 7.8.4 DSP知识产权
 - 7.9 FIR滤波器概念举例
 - 7.10 小结
- 第8章 嵌入式音频处理基础
 - 8.1 引言
 - 8.1.1 声音是什么
 - 8.1.2 音频信号
 - 8.1.3 语音处理
 - 8.2 音频信源与音频信宿
 - 8.2.1 在模拟与数字音频信号之间转换
 - 8.2.2 音频转换器背景知识
 - 8.2.3 连接到音频转换器
 - 8.3 互连
 - 8.3.1 连接器
 - 8.3.2 数字连接
 - 8.4 动态范围与精度
 - 8.5 音频处理方法
 - 8.5.1 如何将数据输入到处理器内核
 - 8.5.2 块处理与采样处理
 - 8.5.3 双缓存
 - 8.5.4 二维DMA
 - 8.5.5 基本操作
 - 8.5.6 信号生成
 - 8.5.7 滤波与算法
 - 8.5.8 采样率变换
 - 8.5.9 音频压缩
 - 8.5.10 语音压缩
- 参考文献

<<FPGA权威指南>>

第9章 嵌入式视频与图像处理基础

9.1 引言

9.1.1 人类视觉感知

9.1.2 什么是视频信号

9.2 广播电视系统——NTSC和PAL制式

9.2.1 视频分辨率

9.2.2 隔行扫描和逐行扫描

9.3 颜色空间

9.3.1 伽马校正

9.3.2 色度下采样

9.4 数字视频

9.4.1 ITU-R BT.601(前称为CCIR-601)

9.4.2 ITU-R BT.656(前称为CCIR-656)

9.5 从系统角度看视频

9.5.1 视频源

9.5.2 视频显示

9.6 嵌入式视频处理考虑

9.6.1 视频端口特性

9.6.2 视频ALU

9.6.3 DMA考虑

9.6.4 视频算法分类

9.6.5 带宽计算

9.6.6 去隔行处理

9.6.7 扫描速率转换

9.6.8 像素处理

9.6.9 处理图像边界

9.6.10 色度重采样、伽马校正和颜色转换

9.6.11 缩放与剪切

9.6.12 显示处理

9.7 压缩和解压缩

9.7.1 无损和有损压缩

9.7.2 图像压缩

9.7.3 视频压缩

9.7.4 EMP中的编码与解码

参考文献

第10章 利用Simulink中的框图设计流式FPGA应用

10.1 使用基于流的操作符设计高性能数据路径

10.2 图像处理设计引擎

10.2.1 将RGB视频转换为灰度视频

10.2.2 二维视频滤波

10.2.3 将视频滤波器映射到BEE2FPGA开发平台

10.3 在Simulink中加入控制

10.3.1 使用Simulink块设计控制器

10.3.2 使用Matlab M语言设计控制器

10.3.3 使用VHDL或Verilog设计控制器

10.3.4 使用嵌入式微处理器设计控制器

10.4 组件重用：简单与复杂子系统库

<<FPGA权威指南>>

10.4.1 信号处理元件

10.4.2 瓦片式子系统

10.5 小结

致谢

参考文献

第11章 梯形图与功能框图编程

11.1 梯形图

11.2 逻辑功能

11.2.1 与

11.2.2 或

11.2.3 非

11.2.4 与非

11.2.5 或非

11.2.6 异或

11.3 锁存器

11.4 多路输出

11.5 输入程序

11.6 功能框图

11.6.1 逻辑门

11.6.2 布尔代数

11.7 编程举例

第12章 定时器

12.1 定时器类型

12.2 对定时器编程

12.2.1 序列

12.2.2 级联定时器

12.2.3 循环开关定时器

12.3 延迟关定时器

12.4 脉冲定时器

12.5 编程实例

索引

章节摘录

版权页：插图：载入加密比特流的命令 / 过程会自动禁用FPGA的回读能力。

这就意味着，在开发期间你一般使用未加密配置数据（此时需要回读），当你开始制造产品时才用加密数据（你可以在任何时候载入未加密的比特流，所以能够很容易地载入测试配置，然后重新载入加密版本）。

这个方案的主要缺点是，在电路板上你需要一组备用电池，当系统断电时它们保持FPGA中的密钥寄存器的内容。

这个电池的生命周期很长，可以达到数年甚至数十年，因为它仅仅需要为器件里一个简单的寄存器供电，但是它确实增加了电路板的尺寸、重量、复杂性和成本。

1.3.3 基于反熔丝的器件不同于在系统中被编程的基于SRAM的器件，基于反熔丝的器件需要使用专门的编程器进行离线编程。

基于反熔丝器件的支持者为其多种多样（确实有一定价值）的优点自豪。

首先，这些器件是非易失性的（它们的配置数据在系统断电时仍能保持），这意味着它们在系统上电时可以立刻使用。

由于它们的非易失性，这些器件不需要外部的存储芯片来存放配置数据，这样就节约了额外部件的成本，也节省了电路板的面积。

<<FPGA权威指南>>

编辑推荐

《FPGA权威指南》囊括了硬件工程师必知必会的FPGA设计与开发的知识与方法。编著者从Newnes出版社的优秀FPGA类图书中精选出FPGA设计最佳内容，集结成《FPGA权威指南》。

这些内容的选择标准是能经受住时间的考验，以及与当代FPGA设计问题的关联程度高。

《FPGA权威指南》涵盖了从设计基础到最优化的开发技术等FPGA相关主题。除了具体讲解设计技术和实践外，还讨论了各种解决FPGA设计问题的方法，以及如何用理论指导设计实践。

《FPGA权威指南》主要内容包括：VHDL设计：存储器建模：集成处理器：实施DSP功能；嵌入式媒体处理。

《FPGA权威指南》内容全面、重点突出、实用性强，既可供电子电气类本科生和研究生参考，又可作为电子电气工程师和研究人員的工作手册。

<<FPGA权威指南>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>