

<<Altera FPGA\CPLD设计>>

图书基本信息

书名：<<Altera FPGA\CPLD设计>>

13位ISBN编号：9787115134998

10位ISBN编号：7115134995

出版时间：2005-7

出版时间：人民邮电出版社

作者：吴继华/王诚编

页数：318

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Altera FPGA\CPLD设计>>

内容概要

本书结合作者多年工作经验，系统地介绍了FPGA/CPLD的基本设计方法。

在介绍FPGA/CPLD概念的基础上，介绍了Altera主流FPGA/CPLD的结构与特点，并通过丰富的实例讲解Quartus II与ModelSim、Synplify Pro等常用EDA工具的开发流程。

本书附带两张光盘：光盘1中收录了Altera Quartus II Web版软件，读者可以安装使用；光盘2中收录了本书所有实例的完整工程、源代码、详细操作步骤和使用说明文件，便于读者边学边练，提高实际应用能力。

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体等专业的教材，也可作为硬件工程师和IC工程师的实用工具书。

<<Altera FPGA\CPLD设计>>

作者简介

王诚，任职于EDA先锋工作室。

<<Altera FPGA\CPLD设计>>

书籍目录

第1章 FPGA/CPLD简介 1.1 可编程逻辑设计技术简介 1.1.1 可编程逻辑器件发展简史 1.1.2 可编程逻辑器件分类 1.2 FPGA/CPLD的基本结构 1.2.1 FPGA的基本结构 1.2.2 CPLD的基本结构 1.2.3 FPGA和CPLD的比较 1.3 FPGA/CPLD的设计流程 1.4 FPGA/CPLD的常用开发工具 1.5 下一代可编程逻辑设计技术展望 1.5.1 下一代可编程逻辑器件硬件上的四大发展趋势 1.5.2 下一代EDA软件设计方法发展趋势 1.6 小结 1.7 问题与思考第2章 Altera FPGA/CPLD的结构 2.1 Altera高密度FPGA 2.1.1 主流高端FPGA——Stratix 2.1.2 内嵌高速串行收发器的FPGA Stratix GX 2.1.3 新一代90nm高端FPGA StratiX II 2.2 Altera低成本FPGA 2.2.1 主流低成本FPGA Cyclone 2.2.2 新一代低成本FPGA Cyclone II 2.3 Altera的CPLD器件 2.3.1 主流的CPLD MAX 3000A 2.3.2 CPLD的革 MAX II 2.4 小结 2.5 问题与思考第3章 Altera Quartus II开发流程 3.1 Quartus II软件综述 3.1.1 Quartus II软件的特点及支持的器件 3.1.2 Quartus II软件的工具及功能简介 3.1.3 Quartus II软件的用户界面 3.2 设计输入 3.2.1 设计输入方式 3.2.2 设计规划 3.2.3 设计输入文件实例 3.2.4 设计约束 3.3 综合 3.3.1 使用Quartus II软件集成综合 3.3.2 控制综合 3.3.3 综合实例 3.3.4 第三方综合工具 3.4 布局布线 3.4.1 设置布局布线参数 3.4.2 布局布线实例 3.4.3 增量布局布线 3.4.4 反标保留分配 3.5 仿真 3.5.1 指定仿真器设置 3.5.2 建立矢量源文件 3.5.3 仿真实例 3.5.4 第三方仿真工具 3.6 编程与配置 3.6.1 建立编程文件 3.6.2 器件编程和配置 3.7 小结 3.8 问题与思考第4章 Altera的IP工具 4.1 IP的概念、Altera的IP 4.1.1 IP的概念 4.1.2 Altera可提供的IP 4.1.3 Altera IP在设计中的作用 4.2 使用Altera的基本宏功能 4.2.1 定制基本宏功能 4.2.2 实现基本宏功能 4.2.3 设计实例 4.3 使用Altera的IP核 4.3.1 定制IP核 4.3.2 实现IP核 4.3.3 设计实例 4.4 小结 4.5 问题与思考第5章 Quartus II的常用辅助设计工具 5.1 I/O分配验证 5.1.1 I/O分配验证功能简介 5.1.2 I/O分配验证流程 5.1.3 用于I/O分配验证的输入 5.1.4 运行I/O分配验证 5.2 功率分析 5.2.1 Excel-based功率计算器 5.2.2 Simulation-based功率估算 5.3 RTL阅读器 5.3.1 RTL阅读器简介 5.3.2 RTL阅读器用户界面 5.3.3 原理图的分页和模块层次的切换 5.3.4 过滤原理图 5.3.5 将原理图中的节点定位到源设计文件 5.3.6 在原理图中查找节点或网线 5.3.7 使用RTL阅读器分析设计中的问题 5.4 SignalProbe及SignalTap II逻辑分析器 5.4.1 SignalProbe 5.4.2 SignalTap II逻辑分析器 5.5 时序收敛平面布局规划器(Timing Closure Floorplan) 5.5.1 使用Timing Closure Floorplan分析设计 5.5.2 使用Timing Closure Floorplan优化设计 5.6 Chip Editor底层编辑器 5.6.1 Chip Editor功能简介 5.6.2 使用Chip Editor的设计流程 5.6.3 Chip Editor视图 5.6.4 资源特性编辑器 5.6.5 Chip Editor的一般应用 5.7 工程更改管理(ECO) 5.7.1 ECO简介 5.7.2 ECO的应用范围 5.7.3 ECO的操作流程 5.7.4 使用Change Manager查看和管理更改 5.7.5 ECO验证 5.8 小结 5.9 问题与思考第6章 编程与配置 6.1 配置Altera FPGA 6.1.1 配置方式 6.1.2 主动串行(AS) 6.1.3 被动串行(PS) 6.1.4 快速被动并行(FPP) 6.1.5 被动并行异步(PPA) 6.1.6 JTAG配置方式 6.1.7 ByteBlaster II下载电缆 6.1.8 配置芯片 6.2 配置文件和软件支持 6.2.1 软件支持 6.2.2 配置文件 6.3 单板设计及调试注意事项 6.3.1 配置的可靠性 6.3.2 单板设计要点 6.3.3 调试建议 6.4 小结 6.5 问题与思考第7章 MAX+PLUS II过渡到Quartus II 7.1 MAX+PLUS II与Quartus II的功能比较 7.2 转换MAX+PLUS II设计 7.2.1 改变GUI风格 7.2.2 转换MAX+PLUS II工程 7.2.3 查看新工程 7.2.4 导入MAX+PLUS II配置文件 7.3 编辑工程 7.3.1 修改设计芯片 7.3.2 设置编译选项 7.4 编译 7.4.1 运行编译器 7.4.2 查看工程结构 7.4.3 编译报告 7.5 时序分析 7.5.1 时序设置 7.5.2 运行时序分析器 7.5.3 时序分析指定路径 7.5.4 时序约束布局器第9章 刀路的模拟、校验和后置处理 9.1 模拟刀路 9.2 校验刀路 9.3 后置处理 9.4 加工文档 9.5 总结附录A A.1 Cimatron快捷键 A.2 Cimatron主菜单参数设置 A.3 FILE-SETUP设置 A.4 NC常见旗标含义 A.5 Cimatron数据转换 A.6 数控加工工艺卡

<<Altera FPGA\CPLD设计>>

编辑推荐

《Altera FPGA\CPLD设计》是作者在实际开发经验的基础上撰写的介绍CPLD/FPGA系列器件应用开发技术的书籍，选取了10多个具有代表性的案例，并结合开发工具，按照技术点从易到难的顺序安排，旨在使读者很好地掌握产品开发流程和相关技术知识。

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>