

<<数字电子技术基础>>

图书基本信息

书名：<<数字电子技术基础>>

13位ISBN编号：9787111298328

10位ISBN编号：7111298322

出版时间：2010-4

出版时间：机械工业出版社

作者：陈文楷 编

页数：327

字数：523000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<数字电子技术基础>>

前言

随着数字电子技术和电子设计自动化（Electronic Design Automation, EDA）技术应用的不断发展，利用可编程逻辑器件（PLD）进行数字系统的开发已被广泛应用于通信、航天、医疗电子、工业控制等诸多领域。

电子产品更新周期日益缩短，新产品开发速度日益加快，因而对电子设计自动化提出了更高的要求，也有力地促进了EDA技术的发展和普及。

与传统数字电路设计方法相比，PLD具有功能强大、开发过程投资小、周期短、便于修改及开发工具智能化等特点。

近年来随着电子产品市场的迅速发展和电子工艺不断改进，低成本高性能的PLD不断推陈出新，使PLD成为当今硬件设计方式的主流。

为此，本书针对当今快速发展的硬件及开发软件，向读者讲述基本知识、基本理论和基本方法。

2005年秋，教育部电子信息科学与电气信息类基础课程教学指导分委员会主持重新修订了“数字电子技术基础课程教学基本要求”，再次强调了本门课程的性质是“电子技术方面入门性质的技术基础课”，其任务在于“使学生获得数字电子技术方面的基本知识、基本理论和基本技能，为深入学习数字电子技术及其在专业中的应用打下基础”。

根据数字电子技术本身的发展状况和修订后教学大纲的基本要求，考虑到延续教学和学习特点，在保持传统的数字电子技术教学内容的基础上，本书在内容、体系和风格上做了一些修改和补充。

<<数字电子技术基础>>

内容概要

本书是普通高等教育“十一五”国家级规划教材，是按照教育部2005年修订的“数字电子技术基础课程教学基本要求”编写的。

本书在教学内容的体系上做了一些改变，主要内容有数制与码制、逻辑代数基础、门电路、VHDL语言基础、组合逻辑电路、触发器、时序逻辑电路的分析与设计、存储器、可编程逻辑器件、脉冲波形的产生和整形、模数和数模转换器。

本书以CMOS逻辑门为主，减少了晶体管和小规模集成电路以及各种逻辑关系的内容。

引入可编程逻辑器件和VHDL语言的内容，把数字电路与

VHDL语言描述融合在一起。

在学习数字电路的同时学习VHDL语言描述方法，学习教材内容的同时引入Quartus 仿真软件，使学生初步掌握一种EDA

软件的使用方法。

本书既可作为电气信息类、电子信息类、仪器仪表类等专业的教材使用，也可供其他理工科相关专业学生和社会读者阅读选用。

<<数字电子技术基础>>

书籍目录

前言

第1章 数制与码制

内容提要

1.1 概述

1.2 数制的表示方法

1.3 十进制数与二进制数之间的转换

1.4 二进制数的算术运算

1.5 十六进制

1.6 二进制数的反码和补码

1.7 码制的表示方法

小结

习题

第2章 逻辑代数基础

内容提要

2.1 概述

2.2 逻辑代数的3种基本运算

2.3 逻辑代数的基本公式和常用公式

2.3.1 基本公式

2.3.2 若干常用公式

2.4 逻辑函数及其表示方法

2.4.1 逻辑函数

2.4.2 逻辑函数的表示方法

2.5 逻辑函数的两种标准形式

2.6 逻辑函数的公式化简法

2.7 逻辑函数的卡诺图化简法

2.7.1 逻辑函数的卡诺图表示法

2.7.2 用卡诺图化简逻辑函数

2.8 无关最小项在化简逻辑函数中的应用

小结

习题

第3章 门电路

内容提要

3.1 概述

3.2 CMOS逻辑电路

3.2.1 MOS晶体管的基本开关电路

3.2 CMOS反相器

3.2.3 CMOS与非门和或非门

3.2.4 扩展输入门

3.2.5 驱动门

3.2.6 CMOS与一或非门

3.3 CMOS逻辑门的电特性

3.3.1 CMOS逻辑门的静态特性

3.3.2 HC和HCT系列

3.4 其他CMOS逻辑门

3.4.1 CMOS异或逻辑门

<<数字电子技术基础>>

3.4.2 CMOS传输门

3.4.3 三态输出门

3.4.4 漏极开路输出门(OD门)

3.5 TTL门电路

3.5.1 双极型晶体管的开关特性

3.5.2 TTL反相门

3.5.3 TTL系列其他类型的逻辑门

3.6 TTL逻辑系列的电气特性

小结

习题

第4章 VHDL语言基础

内容提要

4.1 概述

4.1.1 EDA技术和HDL的发展

4.1.2 VHDL和Verilog HDL

4.2 VHDL程序结构

4.3 实体和结构体

4.4 用Quartus 开发数字系统

4.4.1 Quartus 集成环境开发软件

4.4.2 Quartus 集成开发软件的特点

4.4.3 Quartus 的基本开发流程

4.5 VHDL语法Port、Mode、Type

4.6 VHDL信号的表示

4.7 VHDL程序结构语句

4.7.1 程序结构语句

4.7.2 并行语句结构

4.7.3 顺序语句

4.7.4 赋值语句

小结

习题

第5章 组合逻辑电路

内容提要

5.1 概述

5.2 组合逻辑电路的分析方法

5.3 组合逻辑电路的设计方法

5.4 加法器

5.4.1 半加器与全加器

5.4.2 二进制加法器

5.4.3 用VHDL实现加法器

5.5 译码器

5.5.1 二进制译码器

5.5.2 译码器的应用

5.5.3 用VHDL语言设计译码器

5.6 BCD译码器和七段显示译码器

5.6.1 BCD译码器

5.6.2 BCD—七段显示译码/驱动器

5.7 多路选择器

<<数字电子技术基础>>

5.7.1 多路选择器的概念

5.7.2 MSI多路选择器

5.7.3 VHDL多路选择器(MUX)设计

5.8 数值比较器

5.8.1 4位数值比较器

5.8.2 中规模(MSI)4位数值比较器

5.8.3 VHDL设计数值比较器

5.9 编码器

5.9.1 二进制编码器

5.9.2 优先编码器

5.9.3 VHDL优先编码器

小结

习题

第6章 触发器

内容提要

6.1 概述

6.2 SR锁存器

6.3 同步式触发器

6.3.1 有使能控制端的SR锁存器

6.3.2 同步式SR触发器

6.3.3 同步式D触发器

6.4 主从式触发器

6.4.1 主从式触发器的结构

6.4.2 主从式JK触发器

6.5 边沿触发的触发器

6.5.1 边沿触发的方法

6.5.2 边沿触发的JK触发器

6.6 触发器的动态特性和时间参数

6.7 VHDL设计锁存器和触发器电路

6.7.1 库的概念及分类

6.7.2 VHDL语言设计锁存器和触发器

6.7.3 边沿触发的D触发器设计

6.7.4 异步置位/复位

6.7.5 同步置位/复位

6.7.6 JK触发器和T触发器设计

小结

习题

第7章 时序逻辑电路的分析与设计

内容提要

7.1 概述

7.2 时序逻辑电路的分析方法

7.2.1 同步时序逻辑电路的分析

7.2.2 异步时序逻辑电路的分析

7.3 寄存器和移位寄存器

7.3.1 寄存器

7.3.2 移位寄存器

7.4 IC移位寄存器

<<数字电子技术基础>>

- 7.4.1 7495B集成电路移位寄存器
 - 7.4.2 双向移位寄存器
 - 7.4.3 通用移位寄存器(74LS194)
 - 7.5 寄存器与移位寄存器的VHDL设计
 - 7.5.1 4D寄存器的设计
 - 7.5.2 移位寄存器的设计
 - 7.5.3 通用移位寄存器(74LS194)的设计
 - 7.5.4 循环移位寄存器的设计
 - 7.6 计数器
 - 7.6.1 异步计数器
 - 7.6.2 同步计数器
 - 7.6.3 任意进制计数器
 - 7.7 可逆计数器
 - 7.7.1 减法计数器
 - 7.7.2 可逆计数器
 - 7.8 VHDL计数器设计
 - 7.8.1 二进制同步计数器的设计
 - 7.8.2 可逆计数器的设计
 - 7.8.3 具有装数、进位输出功能的同步计数器的设计
 - 7.9 状态机的设计
 - 7.9.1 概述
 - 7.9.2 状态机
 - 7.9.3 状态机的设计方法与步骤
 - 7.9.4.摩尔型状态机的设计
 - 7.9.5 状态机的自启动设计
 - 7.9.6 米利型状态机的设计
 - 7.10 VHDL实现状态机的设计
 - 7.10.1 摩尔型VHDL有限状态机的设计
 - 7.10.2 米利型VHDL有限状态机的设计
 - 7.10.3 状态机的自启动VHDL设计
 - 小结
 - 习题
- 第8章 存储器
- 内容提要
 - 8.1 概述
 - 8.2 随机存储器(RAM)
 - 8.2.1 静态RAM(SRAM)
 - 8.2.2 动态RAM(DRAM)
 - 8.3 只读存储器(ROM)
 - 8.3.1 掩膜只读存储器
 - 8.3.2 可编程只读存储器
 - 8.4 快闪存储器
 - 8.5 存储器扩展及应用
 - 8.5.1 位扩展方式
 - 8.5.2 字扩展方式
 - 小结
 - 习题

<<数字电子技术基础>>

第9章 可编程逻辑器件

内容提要

9.1 概述

9.2 基本可编程逻辑器件

9.3 通用阵列逻辑GAL

9.3.1 GAL的结构及原理

9.3.2 GAL16V8的结构及应用

9.4 HDPLD

9.4.1 阵列扩展型CPLD

9.4.2 FPGA的内部结构

9.5 用PLD实现数字系统

小结

习题

第10章 脉冲波形的产生和整形

内容提要

10.1 概述

10.2 施密特触发器

10.3 555多谐振荡器

10.4 单稳态触发器

小结

习题

第11章 模数—数模转换器

内容提要

11.1 概述

11.2 D/A转换器

11.2.1 权电阻网络D/A转换器

11.2.2 倒T形电阻网络D/A转换器

11.2.3 双极性输出的D/A转换器

11.2.4 D/A转换器的转换精度和转换速度

11.3 A/D转换器

11.3.1 逐次逼近型A/D转换器

11.3.2 积分型A/D转换器

11.3.3 A/D转换器的几个主要参数

小结

习题

参考文献

章节摘录

2.7.1 逻辑函数的卡诺图表示法 1.表示最小项的卡诺图将。

变量的全部最小项各用一个小方格表示，并使其具有逻辑相邻性的最小项在几何位置上也相邻地排列起来，所得到的图形叫作n变量最小项的卡诺图。

因为这种表示方法是由美国工程师卡诺（Karnaugh）首先提出的，所以把这种图形叫作卡诺图（Karnaushmap或Kmap）。

卡诺图是一种利用图形化简逻辑函数的工具，使用布尔代数化简的思想——相邻的两个小格只有一个变量为互补而其他变量全相同，这个互补的变量在化简过程中可被消去。

卡诺图的构成方法是依据变量的最小项数目决定的，由很多个小方格组成正方形或矩形，每个小方格代表一个最小项，这个最小项就是真值表中的一行。

卡诺图中小方格的数量是2的幂（变量数）指数，通常为4、8或16个。

小方格的坐标是真值表中的输入变量，小方格中的内容。

或1.代表真值表中最小项的输出值。

卡诺图中小方格的坐标有两种表示方法，用二进制数值表示，或者用原变量和反变量表示。

习惯上用数值表示，不管变量怎么选择，即哪些变量为横坐标，哪些变量为纵坐标。

如图2.7.1、b、c表示的那样，它们分别是2、3、4个变量的卡诺图。

小方格的坐标排列顺序与真值表的二进制码排列顺序不同，这是要特别注意的，小方格的坐标排列顺序遵循一个重要的原则，即任何相邻的两个小方格只有一个变量不同，为的是相邻的两个小方格合并成一组时可消去这个变量（如 $A+A'=1$ ）。

图2.7.1 卡诺图左上角的r表示输出，小方格中的内容没有标出。

为了保证卡诺图中几何位置相邻的最小项在逻辑上也具有相邻性，这些数码不能按自然二进制数从小到大的顺序排序，而必须按图中括号的编码方式排列，以确保相邻的两个最小项仅有一个变量是不同的。

<<数字电子技术基础>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>