

<<系统芯片>>

图书基本信息

书名：<<系统芯片>>

13位ISBN编号：9787111218616

10位ISBN编号：7111218612

出版时间：2007-10-1

出版时间：机械工业出版社

作者：罗胜钦

页数：474

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## &lt;&lt;系统芯片&gt;&gt;

## 内容概要

《系统芯片（SOC）设计原理》为普通高等教育“十一五”国家级规划教材。

系统芯片（System On a Chip，简称SOC）是微电子技术发展的一个新的里程碑。

本书介绍在EDA工具的平台，进行以系统级设计为核心的系统芯片的设计方法。

本书从基本单元电路设计出发，以VHDL语言为基本设计手段，讨论了各种典型的数字集成系统的设计，以及系统芯片实现的两种基本途径：半定制的高密度可编程逻辑器件（HDPLD）的实现和全定制的专用集成电路（ASIC）的实现。

《系统芯片（SOC）设计原理》主要内容包括：集成电路工艺及版图基础，CMOS数字电路，硬件描述语言VHDL及数字系统的设计，系统集成芯片的体系结构，高密度可编程逻辑器件，可编程系统芯片（SOPC），专用集成电路设计和可测试结构设计。

全书语言流畅，循序渐进地讨论了系统芯片各方面的内容。

每章后附有习题，供课后练习。

《系统芯片（SOC）设计原理》可作为高等院校电子信息类高年级本科生与研究生的教材，也可作为相关领域工程技术人员的参考资料。

## &lt;&lt;系统芯片&gt;&gt;

## 书籍目录

序前言第1章 绪论1.1 系统芯片是微电子技术发展的必然1.2 电子设计自动化技术和硬件描述语言1.2.1 电子设计自动化技术发展概述1.2.2 Top—Down设计方法1.2.3 硬件描述语言第2章 CMOs数字集成电路2.1 引言2.2 集成电路的主要生产工艺2.2.1 晶片准备2.2.2 制版2.2.3 光刻2.2.4 氧化2.2.5 淀积2.2.6 腐蚀2.2.7 扩散2.2.8 导体和电阻2.3 CMOS反相器及其版图2.3.1 MOS晶体管及其版图2.3.2 CMOS反相器的结构及其版图2.4 设计规则与工艺参数2.4.1 设计规则的内容与作用2.4.2 几何规则2.4.3 电学规则2.5 CMOS数字电路的特征2.5.1 标准逻辑电平2.5.2 逻辑扇出特性2.5.3 容性负载及其影响2.5.4 CMOS电路的噪声容限2.6 CMOS逻辑门2.6.1 CMOS或非门2.6.2 CMOS与非门2.6.3 多输入CMOS逻辑门2.7 NMOS传输晶体管与CMOS传输门2.7.1 NMOS传输晶体管2.7.2 NMOS传输门习题第3章 硬件描述语言VHDL3.1 引言3.2 VHDL的基础知识3.2.1 VHDL程序的结构3.2.2 VHDL常用资源库中的程序包3.2.3 VHDL的词法单元3.2.4 数据对象和类型3.2.5 表达式与运算符3.3 VHDL结构体的描述方式3.3.1 结构体的行为描述3.3.2 结构体的RTL描述3.3.3 结构体的结构化描述3.4 结构体的子结构形式3.4.1 进程3.4.2 复杂结构体的多进程组织方法3.4.3 块3.4.4 子程序3.5 顺序语句和并发语句3.5.1 顺序语句3.5.2 并发语句3.6 VHDL中的信号和信号处理3.6.1 信号的驱动源3.6.2 信号的延迟3.6.3 仿真周期和信号的延迟3.6.4 信号的属性函数3.6.5 带属性函数的信号3.7 VHDL的其他语句3.7.1 ATTRIBUTE描述与定义语句3.7.2 ASSERT语句3.7.3 TEXTIO3.8 多值逻辑3.8.1 三态数值模型3.8.2 多值逻辑3.9 元件例化3.9.1 设计通用元件3.9.2 构造程序包3.9.3 元件的调用3.10 配置3.10.1 默认配置3.10.2 元件的配置3.10.3 块的配置3.10.4 结构体的配置习题第4章 基本数字逻辑单元的设计4.1 组合逻辑电路设计4.1.1 门电路4.1.2 三态缓冲器和总线缓冲器4.1.3 编码器、译码器和选择器4.1.4 运算器的设计4.1.5 算术逻辑运算单元4.2 时序逻辑电路设计4.2.1 触发器4.2.2 锁存器4.2.3 寄存器4.2.4 计数器4.3 存储器4.3.1 概述4.3.2 只读存储器4.3.3 随机存取存储器4.3.4 先进后出堆栈4.4 有限状态机习题第5章 数字系统的层次结构设计5.1 硬件的算法模型5.1.1 先进先出堆栈的算法模型5.1.2 布思一位补码乘法器的算法模型5.2 芯片系统的划分5.2.1 并行接口82555.2.2 布思二位补码乘法器的结构化设计5.3 系统间互连的表示5.4 系统的仿真和测试5.4.1 概述5.4.2 仿真程序的设计方法5.4.3 TEXTIO建立测试程序习题第6章 SOC的体系结构6.1 SOC的结构6.1.1 引言6.1.2 SOC的硬件结构6.1.3 嵌入式软件6.2 soc中的嵌入式精简指令集处理器6.2.1 概述6.2.2 Risc的定义与特点6.2.3 Risc的指令特点6.2.4 Risc的并行处理技术6.2.5 Risc / DsP结构6.2.6 Risc核的设计6.3 嵌入式处理器ARM的体系结构6.3.1 概述6.3.2 ARM7系列处理器6.3.3 ARM9系列处理器6.3.4 ARM9E系列处理器6.3.5 ARMIO系列处理器6.3.6 ARMII系列处理器6.4 嵌入式处理器MIPS32 4Kc的体系结构6.4.1 概述6.4.2 MIPS32 4Kc嵌入式处理器6.5 SOC的互连机制6.5.1 概述6.5.2 AMBA总线6.5.3 CoreConnect总线6.5.4 Wishbone总线6.5.5 OCP总线6.5.6 虚拟元件接口6.6 带ARM核的嵌入式系统芯片举例6.6.1 LPC2100系列高性能微控制器6.6.2 AT91sAM7x系列高性能微控制器6.6.3 AT91RM9200高性能微控制器6.7 嵌入式实时操作系统6.7.1 实时操作系统6.7.2 嵌入式实时操作系统概述6.7.3 实时多任务调度6.7.4 信号与信号量习题第7章 可编程逻辑器件7.1 概述7.1.1 可编程逻辑器件的发展7.1.2 用户再构造电路和可编程ASIC电路7.1.3 可编程逻辑器件的分类7.2 可编程逻辑器件的编程元件7.2.1 熔丝型开关7.2.2 反熔丝开关7.2.3 浮栅编程技术7.3 PAL与GAL器件的电路结构7.3.1 PLD的电路表示方法7.3.2 PLD的基本电路结构7.3.3 PAL器件的电路结构7.3.4 通用阵列逻辑GAL7.4 ispLSI系列CPLD7.4.1 概述7.4.2 ispLSI11000系列CPLD的结构特点7.4.3 ispLSI CPLD的测试和编程特性7.4.4 ispLSI 2000系列CPLD的结构7.4.5 ispLSI 3000系列CPLD7.4.6 ispLSI 5000v系列CPLD的结构和工作原理7.4.7 ispLSI 8000 / v系列CPLD的结构和工作原理7.5 现场可编程门阵列7.5.1 概述7.5.2 xC4000系列FPGA的结构和工作原理7.5.3 Spartan系列FPGA7.6 基于HDPLD的系统设计实现7.6.1 设计实现概述7.6.2 器件的选择7.6.3 HDPLD的设计流程习题第8章 可编程系统芯片8.1 可编程系统芯片概述8.2 Virtex-II系列FPGA的结构和性能8.2.1 概述8.2.2 virtex-II系列FPGA的总体结构8.2.3 Virtex-II系列FPGA的可构造逻辑模块8.2.4 18Khit可选RAM模块8.2.5 嵌入式乘法器8.2.6 全局时钟多路缓冲器8.2.7 数字时钟管理器8.2.8 输入输出模块8.2.9 有源互连技术8.3 嵌入式RISC处理器软核MicroBlaze8.3.1 嵌入式处理器

## &lt;&lt;系统芯片&gt;&gt;

软核MicroBlaze概况8.3.2 嵌入式处理器软核MicroBlaze的结构8.3.3 嵌入式处理器软核MicroBlaze的接口信号8.4 Virtex-II Pro系列可编程片上系统芯片8.4.1 Virtex-II Pro系列SOPC概况8.4.2 嵌入式PowerPc405处理器核8.4.3 极速双向串行传送器习题第9章 专用集成电路设计9.1 引言9.2 门阵列和门海阵列设计9.2.1 门阵列设计9.2.2 门海阵列9.2.3 门阵列和门海阵列的设计流程9.3 标准单元设计9.4 设计检验9.4.1 设计规则检查9.4.2 电学规则检查9.4.3 版图与电路图一致性检查9.5后仿真习题第10章 可测试性结构设计10.1 大规模集成电路可测试设计的意义10.2 可测试性基础10.2.1 故障模型10.2.2 可测试性分析10.2.3 测试矢量生成10.2.4 故障模拟10.3 集成电路的可测试性结构设计10.3.1 专门测试设计10.3.2 扫描测试设计10.3.3 内建自测试技术10.3.4 系统级测试技术——边界扫描测试技术习题附录附录A VHDL标准包集合文件附录B IP核一览表参考文献

<<系统芯片>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>