

<<数字系统的Verilog HDL设计>>

图书基本信息

书名：<<数字系统的Verilog HDL设计>>

13位ISBN编号：9787111216223

10位ISBN编号：7111216229

出版时间：2007-8

出版时间：机械工业

作者：江国强

页数：276

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<数字系统的Verilog HDL设计>>

内容概要

本书以硬件描述语言为工具，介绍了数字电路及系统的设计方法。

本书内容包括数制与编码、逻辑代数与Verilog HDL基础、门电路、组合逻辑电路、触发器、时序逻辑电路、半导体存储器、数模与模数转换、数字系统设计、可编程逻辑器件、Verilog HDL仿真和Verilog HDL综合与优化。

书中还列举了大量的基于Verilog HDL的门电路、触发器、组合逻辑电路、时序逻辑电路、存储器和数字系统设计的实例，供读者参考。

每个设计实例都经过了电子设计自动化（EDA）软件的编译和仿真，确保无误。

每章后均附有思考题和习题。

本教材可作为高等院校电子、信息、通信、自动化类专业的数字电子技术、EDA技术、硬件描述语言等相关课程的教材和相关工程技术人员的参考资料。

<<数字系统的Verilog HDL设计>>

书籍目录

前言	第1章 数制与编码	1.1 概述	1.1.1 模拟电子技术和数字电子技术	1.1.2 脉冲信号和数字信号	
	1.1.3 数字电路的特点	1.2 数制	1.2.1 概述	1.2.2 数制之间的转换	
	1.3 编码	1.3.1 二—十进制编码	1.3.2 字符编码	1.4 现代数字系统的设计方法	
	1.4.1 设计准备	1.4.2 设计输入	1.4.3 设计处理	1.4.4 设计校验	
	1.4.5 器件编程	1.4.6 器件测试和设计验证	本章小结 思考题和习题		
第2章 逻辑代数和Verilog HDL基础	2.1 逻辑代数基本概念	2.1.1 逻辑常量和逻辑变量	2.1.2 基本逻辑和复合逻辑	2.1.3 逻辑函数的表示方法	
	2.1.4 逻辑函数的相等	2.2 逻辑代数的运算法则	2.2.1 逻辑代数的基本公式	2.2.2 逻辑代数的基本定理	
	2.2.3 逻辑代数的常用公式	2.2.4 异或运算公式	2.3 逻辑函数的表达式	2.3.1 逻辑函数常用表达式	
	2.3.2 逻辑函数的标准表达式	2.3.3 约束及其表示方法	2.4 逻辑函数的公式简化法	2.4.1 逻辑函数简化的意义	
	2.4.2 逻辑函数的公式简化法	2.5 Verilog HDL基础	2.5.1 Verilog HDL设计模块的结构	2.5.2 Verilog HDL的词法	
	2.5.3 Verilog HDL的语句	2.5.4 不同抽象级别的Verilog HDL模型	2.5.5 关于Verilog 2001	本章小结 思考题和习题	
第3章 门电路	3.1 概述	3.2 TTL集成门	3.2.1 TTL集成与非门	3.2.2 TTL与非门的外部特性	
	3.2.3 TTL与非门的主要参数	3.2.4 TTL与非门的改进电路	3.2.5 TTL集成电路多余输入端的处理	3.2.6 TTL其他类型的集成电路	
	3.2.7 TTL电路的系列产品	3.3 其他类型的双极型集成电路	3.3.1 ECL电路	3.3.2 I ² L电路	
	3.4 MOS集成门	3.4.1 MOS管	3.4.2 MOS管开关的电路结构和工作原理	3.4.3 MOS非门	
	3.4.4 MOS门	3.4.5 CMOS门的外部特性	3.5 基于Verilog HDL的门电路设计	3.5.1 用assign语句建模方法实现门电路的描述	
	3.5.2 用门级元件例化建模方式来描述门电路	本章小结 思考题和习题			
第4章 组合逻辑电路	4.1 概述	4.1.1 组合逻辑电路的结构和特点	4.1.2 组合逻辑电路的分析方法	4.1.3 组合逻辑电路的设计方法	
	4.2 若干常用的组合逻辑电路	4.2.1 算术运算电路	4.2.2 编码器	4.2.3 译码器	
	4.2.4 数据选择器	4.2.5 数值比较器	4.2.6 奇偶校验器	4.3 基于Verilog HDL的组合逻辑电路设计	
	4.3.1 加法器的设计	4.3.2 编码器	4.3.3 译码器的设计	4.3.4 数据选择器的设计	
	4.3.5 数值比较器的设计	4.3.6 奇偶校验器的设计	4.4 组合逻辑电路的竞争-冒险现象	本章小结 思考题和习题	
第5章 触发器	5.1 概述	5.2 基本RS触发器	5.2.1 由与非门构成的基本RS触发器	5.2.2 由或非门构成的基本RS触发器	
	5.3 钟控触发器	5.3.1 钟控RS触发器	5.3.2 钟控D型触发器	5.3.3 钟控JK触发器	
	5.3.4 钟控T型触发器	5.3.5 钟控T触发器	5.4 集成触发器	5.4.1 边沿JK触发器	
	5.4.2 维持-阻塞结构集成触发器	5.5 触发器之间的转换	5.5.1 用JK触发器实现其他类型触发器	5.5.2 用D触发器实现其他类型触发器的转换	
	5.6 基于Verilog HDL的触发器设计	5.6.1 基本RS触发器的设计	5.6.2 D锁存器的设计	5.6.3 D触发器的设计	
	5.6.4 JK触发器的设计	本章小结 思考题和习题			
第6章 时序逻辑电路	6.1 概述	6.1.1 时序逻辑电路功能的描述方法	6.1.2 时序逻辑电路的分析方法	6.1.3 同步时序逻辑电路和异步时序逻辑电路	
	6.2 寄存器和移位寄存器	6.2.1 数码寄存器	6.2.2 移位寄存器	6.2.3 集成移位寄存器	
	6.3 计数器	6.3.1 同步计数器的分析	6.3.2 异步计数器	6.3.3 集成计数器	
	6.4 同步时序逻辑电路的设计	6.4.1 数码寄存器的设计	6.4.2 移位寄存器的设计	6.4.3 同步计数器的设计	
	6.4.4 顺序脉冲发生器的设计	6.4.5 序列信号发生器的设计	6.4.6 序列信号检测器的设计	6.4.7 一般同步时序逻辑电路的设计	
	6.5 异步时序逻辑电路的设计	本章小结 思考题和习题			
第7章 半导体存储器	7.1 概述	7.1.1 半导体存储器的结构	7.1.2 半导体存储器的分类	7.2 随机存储器	
	7.2.1 静态随机存储器	7.2.2 动态随机存储器	7.2.3 随机存储器的典型芯片	7.3 只读存储器	
	7.3.1 固定ROM	7.3.2 可编程只读存储器	7.3.3 可擦除可编程只读存储器	7.3.4 快闪存储器	
	7.4 半导体存储器的应用	7.5 基于Verilog HDL的存储器设计	7.5.1 RAM设计	7.5.2 ROM的设计	
本章小结 思考题和习题					
第8章 数模和模数转换	8.1 概述	8.2 数模(D/A)转换	8.2.1 D/A转换器的结构	8.2.2 D/A转换器的主要技术指标	
	8.2.3 集成D/A转换器	8.3 模数(A/D)转换	8.3.1 A/D转换器的基本原理	8.3.2 A/D转换器的类型	
	8.3.3 A/D转换器的主要技术指标	8.3.4 集成ADC芯片	本章小结 思考题和习题		
第9章 数字系统设计	9.1 数字系统的设计方法	9.1.1 4位二进制计数器的设计	9.1.2 设计七段显示译码器dec7s	9.1.3 计数译码显示系统电路的设计	
	9.2 系统设计实例	9.2.1 8位频率计的设计			

<<数字系统的Verilog HDL设计>>

计 9.2.2 交通灯控制电路的设计 9.2.3 数字电压表的设计 9.2.4 信号发生器的设计 本章小结
思考题和习题第10章 可编程逻辑器件 10.1 PLD的基本原理 10.1.1 PLD的分类 10.1.2 阵列
型PLD 10.1.3 现场可编程门阵列FPGA 10.1.4 基于查找表的结构 10.2 PLD的设计技术 10.2.1
PLD的设计方法 10.2.2 PLD的设计流程 10.2.3 在系统可编程技术 10.2.4 边界扫描技术 10.3
PLD的编程与配置 10.3.1 CPLD的ISP方式编程 10.3.2 使用PC的并口配置FPGA 本章小结 思考
题和习题第11章 Verilog HDL仿真 11.1 Verilog HDL仿真支持语句 11.1.1 系统任务和系统函数
11.1.2 编译指令 11.2 Verilog HDL的仿真方法 11.2.1 ModelSim的命令式仿真 11.2.2 ModelSim
的波形仿真 11.2.3 ModelSim交互命令方式仿真 11.2.4 ModelSim批处理工作方式 11.3 Verilog
HDL测试平台软件的设计 11.3.1 组合逻辑电路测试平台软件的设计 11.3.2 时序逻辑电路测试平
台软件的设计 11.3.3 数字系统电路测试平台软件的设计 本章小结 思考题和习题第12章 Verilog
HDL综合与优化 12.1 综合的概念 12.2 Verilog HDL设计的硬件实现 12.2.1 编辑设计文件
12.2.2 编译设计文件 12.2.3 仿真设计文件 12.2.4 编程下载设计文件 12.3 设计优化 12.3.1
面积与速度的优化 12.3.2 时序约束与选项设置 12.3.3 Fitter设置 12.4 Quartus 的RTL阅读器
本章小结 思考题和习题附录 附录A 国产半导体集成电路型号命名法 (GB3430-82) 附录B Altera
DE2开发板使用方法参考文献

<<数字系统的Verilog HDL设计>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介, 请支持正版图书。

更多资源请访问:<http://www.tushu007.com>